

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ODA, et al.
Serial No.: Not yet assigned
Filed: March 2, 2004
Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR CIRCUIT
MODULE AND MANUFACTURING METHOD OF THE SAME
Group: Not yet assigned

LETTER CLAIMING RIGHT OF PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 2, 2004

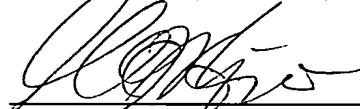
Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2003-172912, filed June 18, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/alb
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 6 月 1 8 日
Date of Application:

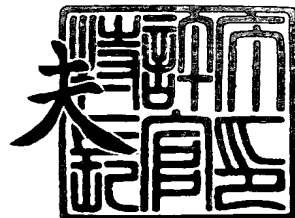
出 願 番 号 特 願 2 0 0 3 - 1 7 2 9 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 7 2 9 1 2]

出 願 人 株 式 会 社 日 立 製 作 所
Applicant(s):

2 0 0 4 年 2 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 1 3 0 4

【書類名】 特許願

【整理番号】 NT03P0258

【提出日】 平成15年 6月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/331

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 小田 克矢

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 杉井 信之

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 三浦 真

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 鈴木 功

【発明者】

【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

【氏名】 鷺尾 勝由

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書**【発明の名称】** 半導体装置、半導体回路モジュールおよびその製造方法**【特許請求の範囲】**

【請求項 1】 Si 半導体基体と、前記 Si 半導体基体上に形成された開口部を有する絶縁膜と、前記開口部内に形成された第 1 の単結晶層と、前記第 1 の単結晶層上に形成された第 2 の単結晶層とを有し、前記第 1 の単結晶層と前記第 2 の単結晶層とは Si と Ge のいずれか一方あるいは両方と C とを必須の構成成分とし、且つ Si と Ge の和と C との化学量論比が略 1:1 である単結晶 (SiGe) C 層からなり、且つ前記第 1 の単結晶層と前記第 2 の単結晶層の禁制帯幅が異なることを特徴とする半導体装置。

【請求項 2】 Si 半導体基体と、前記 Si 半導体基体上に形成された開口部を有する絶縁膜と、前記開口部内に形成された第 1 の単結晶層と、前記第 1 の単結晶層上に形成された第 2 の単結晶層と、前記第 2 の単結晶層上に形成された第 3 の単結晶層とを有し、前記第 1 の単結晶層と前記第 2 の単結晶層と前記第 3 の単結晶層とは Si と Ge とのいずれか一方あるいは両方と C とを必須の構成成分とし、且つ Si と Ge の和と C の化学量論比が略 1:1 である単結晶 (SiGe) C 層からなり、且つ前記第 1 の単結晶層と前記第 2 の単結晶層と前記第 3 の単結晶層のうち少なくとも一つは禁制帯幅が異なることを特徴とする半導体装置。

【請求項 3】 前記第 2 の単結晶層と前記第 3 の単結晶層の導電型が異なることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記第 2 の単結晶層の禁制帯幅が前記第 3 の単結晶層の禁制帯幅よりも小さいことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記第 2 の単結晶層上にゲート電極を有し、前記第 1 の単結晶層ないしは前記第 2 の単結晶層のいずれか一方あるいは両方で、前記ゲート電極に相対する部分に電流が流れるチャネルが形成されており、前記第 1 の単結晶層と前記第 2 の単結晶層から形成されるヘテロ接合部の主面内に、チャネルと電氣的接触を図るようにソース領域及びドレイン領域が形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 前記第 1 の単結晶層ないしは第 2 の単結晶層のうちで、禁制帯

幅が小さい層内にチャネルが形成され、且つ、禁制帯幅の大きい層が前記チャネル層の上部に形成されてバリア層となっており、そのバリア層の上部にゲート電極を有することを特徴とする請求項 5 記載の半導体装置。

【請求項 7】 Si 半導体基体と、前記 Si 半導体基体上に形成された開口部を有する絶縁膜と、前記開口部内に設けられた第 1 の単結晶層と前記第 1 の単結晶層上に形成された第 2 の単結晶層の一方あるいは両方を含んだ積層構造と、前記第 2 の単結晶層上に形成されたゲート電極と、前記第 1 の単結晶層ないしは第 2 の単結晶層のいずれか一方あるいは両方で、前記ゲート電極に相対する部分に形成されたチャネル領域と、前記ゲート電極を挟んで形成されたソース領域およびドレイン領域を有することを特徴とする半導体装置。

【請求項 8】 前記第 1 の単結晶層と前記第 2 の単結晶層が、Si と Ge の和と C の化学量論比が略 1:1 である単結晶(SiGe)C 層からなることを特徴とする、請求項 7 に記載の半導体装置。

【請求項 9】 前記 Si 半導体基板と前記第 1 の単結晶層との間に、Si と Ge のいずれか一方あるいは両方と C とを必須の構成成分とする SiGeC 層を有し、前記 Si 半導体基板の格子定数と前記第 1 の単結晶層の格子定数が異なることを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】 前記 Si 半導体基板の面方位が (100) であることを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】 Si 半導体基体と、

前記 Si 半導体基体上に形成された開口部を有する絶縁膜と、前記開口部内に設けられた第 1 の単結晶層と、前記第 1 の単結晶層上に形成された第 2 の単結晶層とを有し、前記第 1 の単結晶層と前記第 2 の単結晶層とは Si と Ge のいずれか一方或いは両方と C とを必須の構成成分とし、且つ Si と Ge の和と C との化学量論比が略 1:1 である単結晶(SiGe)C 層からなり、且つ前記第 1 の単結晶層と前記第 2 の単結晶層の禁制帯幅が異なる半導体装置と、

Si を動作活性層に用いた半導体装置とを、有することを特徴とする半導体集積回路装置。

【請求項 12】 Si 半導体基体と、前記 Si 半導体基体上に形成された開口

部を有する絶縁膜と、前記開口部内に形成された第1の単結晶層と、前記第1の単結晶層上に形成された第2の単結晶層とを有し、前記第1の単結晶層と前記第2の単結晶層とはSiとGeのいずれか一方あるいは両方とCとを必須の構成成分とし、且つSiとGeの和とCとの化学量論比が略1:1である単結晶(SiGe)C層からなり、且つ前記第1の単結晶層と前記第2の単結晶層の禁制帯幅が異なる半導体装置を少なくとも有する半導体回路モジュール。

【請求項13】 Si半導体基体上に開口部を有する絶縁膜を形成する工程と、前記開口部内に第1の単結晶層を形成する工程と、前記第1の単結晶層上に第2の単結晶層を形成する工程とを有し、前記第1の単結晶層と前記第2の単結晶層はSiとGeのいずれか一方あるいは両方とCとを必須の構成成分とし、且つSiとGeの和とCの化学量論比が略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と前記第2の単結晶層の禁制帯幅が異なることを特徴とする半導体装置の製造方法。

【請求項14】 Si半導体基板上に開口部を有する絶縁膜を形成する工程と、前記開口部内に第1の単結晶層を形成する工程と、前記第1の単結晶層上に第2の単結晶層を形成する工程と、前記第2の単結晶層上に第3の単結晶層を形成する工程とを備え、前記第1の単結晶層と前記第2の単結晶層と前記第3の単結晶層とはSiとGeのいずれか一方或いは両方とCとを必須の構成成分とし、且つSiとGeの和とCの化学量論比が略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と前記第2の単結晶層と前記第3の単結晶層のうち少なくとも一つは禁制帯幅が異なることを特徴とする半導体装置の製造方法。

【請求項15】 前記第1の単結晶層を形成する工程及び前記第2の単結晶層を形成する工程において、Si原子とC原子との結合を有する有機化合物ガス、或いはSi原子とC原子との結合を有する有機化合物ガスとGe原子とC原子との結合を有する有機化合物ガスの双方を原料ガスに有することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項16】 前記第1の単結晶層を形成する工程及び前記第2の単結晶層を形成する工程において、Si原子とC原子との結合を有する有機ガスを原料ガスに有することを特徴とする請求項14に記載の半導体装置の製造方法。

【請求項 17】 前記第 1 の単結晶層を形成する工程及び前記第 2 の単結晶層を形成する工程において、Ge 原子と C 原子との結合を有する有機化合物ガスの双方を原料ガスに有することを特徴とする請求項 14 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリコン (Si) とゲルマニウム (Ge) の内の少なくともいずれか一方、及び炭素 (C) を必須の構成元素として含む複数の単結晶半導体層を有する半導体装置及びその製造方法に関するものである。本発明の半導体装置は、無線通信装置に用いられる高周波増幅用半導体装置及び集積回路に適用して有効な技術であり、更には、特に準ミリ波よりミリ波領域の無線通信用、広禁制帯幅半導体装置に用いて有用である。

【0002】

【従来の技術】

近年の移動体通信端末やインターネット通信の急速な普及に伴い、無線通信容量も年を追う毎に急激な増加を続けている。この為無線通信での必要帯域幅が広がり、必然的により高い周波数帯域、即ち、準ミリ波からミリ波領域での一般消費者向け通信装置の需要増大が見込まれている。このような周波数帯域での電子回路に用いられる半導体装置は、これまで GaAs に代表される化合物半導体材料を用いるものが中心であった。最近では、GaAs に比べてより禁制帯幅が広く、電子輸送特性も良好である Si カーバイド (以下、SiC と略記する) がより高周波で高い電力密度を取り扱うことが出来るため有望視されている。

【0003】

従来の Si、Ge、C を含んだ単結晶半導体層の形成方法は、例えば特許文献 1 に報告がある。この従来例での製造方法では、Si 原子を含むガス状原料及び C 原子を含むガス状原料及び Ge 原子を含むガス状原料を用いる。更に、気相反応が無視できる 10^{-2} Torr 以下の真空度で、こうしたガス状原料を熱分解によって C 及び Ge を含む Si エピタキシャル層を成長させている。又、この従

来例には、少なくとも表面に、Si層及びこのSi層上にマスクパターンが形成された基板を、気相成長容器内に配置し、気相反応が無視できる真空度で前記基板表面に、Si原子を含むガス状原料、及びC原子を含むガス状原料、及びGe原子を含むガス状原料を同時に照射して、C及びGeを含むSi層を、前記基板上のSi層が露出した領域のみに選択的に成長させることが示されている。

【0004】

又、単一の原料ガスを用いてSi、Ge、Cからなる単結晶層を形成する方法の例が非特許文献1に見られる。原料ガスとして、テトラキスゲルマ ($\text{Ge}(\text{Si}(\text{CH}_3)_3)_4$) を用いることにより、Ge組成比が13%、C組成比が50%の多結晶層を成長させている。

【0005】

更に、Si、Ge、Cを含んだ単結晶半導体層を用いた半導体装置の従来例も特許文献2に見られる。この例のバイポーラトランジスタの断面構造を図19に示す。p型Si基板101上に高濃度n型Si領域102を成長させ、その上にベース領域となるp型SiGe層104とエミッタ領域となるn型SiGeC混晶105を成長させる。これらコレクタ、ベース、エミッタの各接合界面は転移が発生しないようにUHV/CVD法等の方法により形成する。エピタキシャル成長の原料ガスとしては、シラン、ジシラン、メチルシラン等の有機シラン、もしくはメチルゲルマン等の有機ゲルマン及び場合によりエチレンを使用する。ドーピングガスとしてはn型不純物としてヒ素、リンなどを、p型不純物としてボロンなどを使用する。

【0006】

【特許文献1】

特許公報第2798576号（段落10、図1）

【特許文献2】

特開平9-283533号公報（段落25、図6）

【非特許文献1】

Applied Physics Letters, Vol. 65, pp. 2960, 1994

【0007】

【発明が解決しようとする課題】

SiCは、融点が高いため、Si基板のように、引き上げ法により大口径基板を作製することが非常に困難である。その為、原料を昇華させて基板を形成する方法が用いられる。しかし、この方法を用いても結晶品質が高く、面積の大きな基板が得られないという難点があった。

【0008】

又、通信用半導体集積回路においては、全ての回路が高周波領域の信号を取り扱うわけではなく、低い周波数領域で大容量の情報処理を必要とする集積回路も必要となる。この部分は従来からのSi半導体集積回路を用いることが最適であり、従って、上記SiC半導体装置とSi半導体装置を組み合わせた集積回路とすることが望ましい。この場合、一つのモジュール内に個別の半導体チップを実装することも可能であるが、同一基板上に両方の半導体装置を製造する方がより望ましい。これを実現するためにはSi基板上にSiC層を形成する必要がある。

【0009】

更に、前述したSi、Ge、Cを含んだ単結晶半導体層を用いた従来の半導体装置では、含まれているCの量が少なく、閃亜鉛構造ではなくダイヤモンド構造となっている。ダイヤモンド構造であるSiやSiGe混晶中のCの固溶度は数%以下であるため、C組成比を増加させると結晶性が悪化するという難点がある。

【0010】

これまで一般的に報告されている製造方法には、上述した一般的な結晶性などに関する難点の外に、半導体装置を構成する際の次のような難点も挙げることが出来る。SiCを活性層に用いた半導体装置においては、SiCを高濃度のp型にドーピングすることが困難な為に、バイポーラトランジスタのベース抵抗ができないことや、電界効果トランジスタの高速動作に必須である短チャネル素子の製造が困難となるという難点がある。

【0011】

更に、電界効果型半導体装置における難点は、SiC表面に形成するゲート絶縁膜の品質が悪いためにSiC半導体に本来期待させる高速動作特性が実現できない点にあった。

【0012】

そこで、本発明の目的は、Si基板上にSiとGeとCからなる単結晶層を結晶性が良く、Si系もしくはSiGe系半導体装置との組み合わせが可能な半導体装置を提供すること、及びその形成方法を提供することにある。更には、本発明は前記単結晶層の膜厚を薄くすることが可能とする。

【0013】

本発明の他の目的は、SiとGeの少なくともいずれか一方とCとを含有する複数の単結晶層を用いた半導体装置において、禁制帯幅を変化させることにより本来の高速特性を発揮できるためのヘテロ構造をもつ半導体装置の製造技術を提供することにある。

【0014】

【課題を解決するための手段】

本発明に係る半導体装置は次のような特徴を有する。即ち、例えば図1の典型的な例を参酌すれば、Si単結晶基板1上に設けられた絶縁膜2の開口部6内に、少なくとも第1の単結晶層3及び第2の単結晶層4を形成した半導体装置となす。そして、第1の単結晶層3と第2の単結晶層4とは、共にSiとGeのいずれか一方或いは両方と、Cとをその必須の構成成分としており、且つ、SiとGeの和とCとの化学量論比が略1:1である単結晶(SiGe)Cであり、且つ第1の単結晶層と第2の単結晶層の禁制帯幅が異なることを特徴とするものである。

【0015】

即ち、本発明は、第1に、Si単結晶基体に局所的に当該半導体層を選択成長させることが肝要である。半導体層の成長面積を制御することによって、成長した半導体層の歪みを緩和するのである。結果として、当該半導体層での格子欠陥密度を低下させることが可能となる。尚、本発明においては、Si単結晶基板以外に、Si単結晶層を有する基板を結晶成長用に基板として用いることが出来る

。Si単結晶層を有する基板の代表的な例は、例えばSOI (silicon on Insulator) 基板である。更に、例えば、半導体基板上に所望のエピタキシャル層を形成し、本発明における結晶成長用の基板として用いることも可能である。本願明細書では、こうした諸基板を含め本願明細書では、本発明に適用可能なSi単結晶層を有する基板のことを「Si半導体基体」と称する。

【0016】

本願発明の別な観点は、Si半導体基体1上に設けられた絶縁膜2の開口部内に形成された第1の単結晶層3及び第2の単結晶層4に加えて、更に、第3の単結晶層を有する半導体装置であって、第1の単結晶層3と第2の単結晶層4と第3の単結晶層は共にSiとGeのいずれか一方或いは両方とCとをその必須の構成成分としており、且つ、SiとGeの和とCとの化学量論比が略1:1である単結晶(SiGe)Cであり、第1の単結晶層と第2の単結晶層と第3の単結晶のうち少なくとも一つは禁制帯幅が異なることを特徴とするものである。

【0017】

本願発明の前記局所的に結晶成長させる半導体層は、当該半導体装置の要請によって、少なくとも2層、3層或いは更に複数層など選択される。例えば、当該半導体装置が、電界効果型半導体装置或いはヘテロ接合バイポーラ型半導体装置である場合によって、前記局所的に結晶成長させる半導体層を選択する。前記第1、第2、及び第3の各単結晶層の選択の例はこうした半導体装置の要請によって選択される。

【0018】

更に、本願発明を適用することによって、例えばSiC系或いは(SiGe)C系を用いたエンハンスメント型の電界効果型半導体装置の実現を可能とする。これら材料系のエンハンスメント型電界効果型半導体装置の製造はこれまで实际的に困難であったものである。

【0019】

上述の半導体装置に関する趣旨から、前記第2の単結晶層と第3の単結晶層の導電型が異なっていれば好適である。更に、前記第2の単結晶層の禁制帯幅が第3の単結晶層の禁制帯幅よりも小さくすればよい。

【0020】

本発明の構成においては、禁制帯幅の小さい半導体層（即ち、第2の単結晶層）をチャネルとする為に、禁制帯幅の大きい半導体層（即ち、第3の単結晶層）をバリア層として、電子を前記第2の単結晶層に閉じ込めることが可能となる。この際、前記両半導体層の導電型が異なっておれば良好なオン・オフ特性を得ることが出来る。より具体的な例は実施例4をもって説明する。

【0021】

前記第2の単結晶層上にゲート電極を設け、しかも前記第1の単結晶層ないしは第2の単結晶層のいずれか一方或いは両方で、前記ゲート電極に相對する部分に電流が流れるチャネルを形成し、前記第1の単結晶層と第2の単結晶層から形成されるヘテロ接合部の主面内に、チャネルと電氣的接觸を図るようにソース及びドレイン領域を形成すれば、電界効果型半導体装置として好適である。

【0022】

又、前記第1の単結晶層ないしは第2の単結晶層のうちで、禁制帯幅が小さい層内にチャネルを形成し、且つ、禁制帯幅の大きい層を前記チャネル層の上部に形成してバリア層とし、更に、その上部にゲート電極を形成して、埋込チャネル構造とすることが可能である。

【0023】

又、p型にドーピングされたSi半導体基板上に開口部を有する絶縁膜を形成し、この開口部内に第1の単結晶層を形成し、第1の単結晶層上に第2の単結晶層を形成し、これらの一方或いは両方を含んだ積層構造とし、前記第2の単結晶層上にゲート電極を形成し、前記第1の単結晶層ないしは第2の単結晶層のいずれか一方或いは両方に、前記ゲート電極に相對する部分に電流が流れるチャネルを形成し、前記積層構造の主面内に、チャネルと電氣的接觸を図るようにソース及びドレイン領域を形成すれば好適である。

【0024】

この時、前記第1の単結晶層と前記第2の単結晶層が、SiとGeの和とCとの化学量論比が略1:1である単結晶(SiGe)C層とすればよい。

【0025】

前記いずれかの半導体装置において、前記 Si 半導体基板と前記第 1 の単結晶層の間に、Si と Ge のいずれか一方あるいは両方と C とを必須の構成成分とする SiGeC 層を設け、前記 Si 半導体基板の格子定数と前記第 1 の単結晶層の格子定数との間の格子定数に順次変化させれば好適である。即ち、この例では、前記 SiGeC 層がいわゆるバッファ層として用いられている。

【0026】

前記いずれかの半導体装置において、前記 Si 半導体基板の面方位を略 (100) とすれば好適である。

【0027】

(SiGe)C には結晶多形 (即ち、組成が同じであるが結晶構造がことなるもの) がある。この為、Si (100) を基板とすると、所望の (SiGe)C 結晶が成長し易い利点がある。更に、Si (100) 基板を用いることは、Si 半導体素子が (100) 面上に形成する事で最良の特性を得ることが出来る利点も有する。勿論、本発明は他の結晶面を用いても良いことは云うまでもない。

【0028】

前記本発明の課題の欄に説明したように、Si を動作活性層に用いた半導体装置と、特に高周波信号を処理する半導体装置とを合わせて用いる集積回路における、一方の半導体装置に本願発明を用いることが極めて有用である。即ち、前記いずれかの半導体装置と、Si を動作活性層に用いた半導体装置とが、同一の支持基板上に形成されている例である。

【0029】

前記本発明のいずれかの半導体装置ないしは半導体集積回路を主要構成部品として半導体回路モジュールを構成し、例えば通信用半導体集積回路を提供することが出来る。

【0030】

次に、製造方法について、説明する。本発明に係る半導体装置の製造方法の骨子は、前述の半導体装置に対応して次の工程を取る。即ち、Si 半導体基板上に開口部を有する絶縁膜を形成する工程と、前記開口部内に第 1 の単結晶層を形成する工程と、前記第 1 の単結晶層上に第 2 の単結晶層を形成する工程とを備え、

前記第1の単結晶層と第2の単結晶層はSiとGeのいずれか一方或いは両方とCとを主成分とし、且つSiとGeの和とCとの化学量論比が略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と第2の単結晶層の禁制帯幅が異なることを特徴とするものである。

【0031】

更に、別な半導体装置の製造方法は、Si半導体基板上に開口部を有する絶縁膜を形成する工程と、前記開口部内に第1の単結晶層を形成する工程と、該第1の単結晶層上に第2の単結晶層を形成する工程と、前記第2の単結晶層上に第3の単結晶層を形成する工程とを備え、前記第1の単結晶層と第2の単結晶層と第3の単結晶層はSiとGeのいずれか一方あるいは両方とCとを主成分とし、且つSiとGeの和とCの化学量論比が大略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と第2の単結晶層と第3の単結晶層のうち少なくとも一つは禁制帯幅が異なるようにすればよい。

【0032】

本発明の製造方法において、肝要なことは、当該半導体各層のエピタキシャル成長に、Si原子とC原子との結合を有する有機ガスを用いることであり、更に、Ge原子とC原子との結合を有する有機ガスを原料ガスとして用いることである。こうして、(SiGe)C層を結晶成長させると、Si-C結合及びGe-C結合を保ったまま結晶成長させることが可能となる。このことによって、SiとGeの和とCの化学量論比が略1:1である単結晶(SiGe)C層を得ることが可能となる。

【0033】

前記多層構造のエピタキシャル成長における、成長温度は、勿論原料ガスの種類、成長速度の要請などに依存するが、500℃より900℃が多用される。更に、前記エピタキシャル成長の成長圧力も、同様に原料ガスの種類、成長速度の要請などに依存するが、0.1Paより10000Paが多用される。

【0034】

【発明の実施の形態】

本発明に係る半導体装置の好適な実施の形態は、次の通りである。即ち、単結

晶(S i G e)C層からなる多層構造の形成は、開口部を有する絶縁膜を用いて、この開口部内に多層構造を形成する方法が实际的である。

【0035】

S i 基板上に開口部を有する絶縁膜を形成し、この開口部内に、S i と G e と C とを必須の構成成分とし且つ S i と G e の和と C との化学量論比が、ほぼ 1:1 である複数の単結晶(S i G e)C層からなる多層構造を形成する。そして、この多層構造を構成している複数の単結晶(S i G e)C層に禁制帯幅の異なるものを含むものである。即ち、この多層構造にヘテロ接合を有するのである。

【0036】

このように化学量論比をほぼ 1:1 に保つことにより、単結晶(S i G e)Cは閃亜鉛鉱構造を保ったまま成長するため、単結晶層の結晶性を向上することができる。従って、当該半導体装置のリーク電流の発生を抑制し、歩留まりを向上することが可能となる。しかも、S i と G e の組成比を制御して禁制帯幅を変化させることにより、S i よりも禁制帯幅が広い半導体でヘテロ構造を作製することができる。従って、S i C 結晶が本来持つ高飽和電子速度、高降伏電界の特性を満たしつつ、一方では、(S i G e)C 結晶の成長によって S i C 結晶とのヘテロ接合を実現可能とする。こうして、本発明に係る半導体装置では、高速化と高耐压化の両立が可能となす。

【0037】

又、本発明に係る半導体装置の製造方法の好適な実施の形態は、上記単結晶(S i G e)C層を形成するときの原料を S i 原子と C 原子の結合を有するガス、及び G e 原子と C 原子の結合を有するガスを用いることを特徴とする。このような成長方法により、S i -C 結合および G e -C 結合を保ったまま(S i G e)C層が成長するため、閃亜鉛鉱構造を維持したまま成長しやすくなり、成長した単結晶層の結晶性を向上することができる。

【0038】

更に、本発明に係る半導体装置の製造方法の好適な実施の形態は、上記多層構造を構成する単結晶(S i G e)C層をエピタキシャル成長によって形成するときの温度が 500℃以上 900℃以下で、形成するときの圧力が 10000 P a を

越えないことを特徴とする。このようなエピタキシャル成長条件で行うことにより、単結晶層を形成する際、選択性を保った状態で開口部内に単結晶(SiGe)C層を形成することができる。

【0039】

[従来の製造方法との比較検討]

一般に、これまでのSi、Ge、Cを含んだ単結晶半導体層の形成方法は、報告されているものでは、Siを含むガス状原料とCを含むガス状原料とGeとを含むガス状原料とを用いることにより成長を行っている。この場合、Cがクラスタリングを起こしやすく、大量の結晶欠陥が発生するという難点がある。それは、Cが作る共有結合が、SiやGeの共有結合と比較して、その結合が非常に強いためである。

【0040】

又、前述した単一の原料ガスを用いてSi、Ge、Cからなる単結晶層を形成する従来の成長方法では、単一のガスが分解して成長が進行する為、成長に寄与するSi、Ge、Cの割合が同じであり、成長した半導体層中のGe組成比やC組成比を制御することができない。従って、組成比の異なる多層膜を用いたヘテロ構造を形成することができないという難点がある。

【0041】

本願発明では、上述のように、Si原子とC原子の結合を有する有機ガス、及びGe原子とC原子の結合を有する有機ガスを用いるエピタキシャル成長方法により、Si-C結合及びGe-C結合を保ったまま(SiGe)C層が成長するため、これら諸難点を回避することが可能となった。

【0042】

次に、本発明に係る半導体装置及びその製造方法の更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0043】

<実施例1>

図1は、本発明の半導体装置の一つの実施例を示す断面図である。Si基板1上に、シリコン酸化膜からなる開口部6を有する絶縁膜2を形成する。この絶縁

膜の開口部 6 内に、n 型(S i G e)C 層 3、p 型(S i G e)C 層 4 を順次形成する。この例では、n 型(S i G e)C 層 3 が本願明細書における第 1 の半導体単結晶層、p 型(S i G e)C 層 4 が本願明細書における第 2 の半導体単結晶層に相当する。尚、前記第 1 の単結晶層と前記第 2 の単結晶層とは S i と G e のいずれか一方あるいは両方と C とを必須の構成成分とし、且つ S i と G e の和と C との化学量論比が略 1 : 1 である単結晶(S i G e)C 層であれば良いことは、前述した通りである。

【0044】

以下、本例を基に、本発明に関わる半導体単結晶層の成長方法の詳細を説明する。ここに説明した成長方法は、他の実施例は勿論、本発明における半導体単結晶層の成長方法に当然適用されるものである。図 20 に結晶成長装置の概略ブロック図を示す。ロードロック室 110、搬送室 111、成長室 1 (112) 及び成長室 2 (113) (113) より構成される。尚、排気系などは図示が省略され、各種ガスの導入は矢印で示される。導入可能な主要なガスを図面に示めした。

【0045】

[単結晶成長前の処理]

[洗浄]

まず始めに、基板表面の汚染物や自然酸化膜をあらかじめ除去するために基板の洗浄をおこなう。例えば、アンモニア、過酸化水素、水の混合液を加熱したもので基板を洗浄することにより、表面の重金属や有機物による汚染に加え、基板表面に付着したパーティクルを除去することができる。次いで、アンモニア、過酸化水素、水の混合液による洗浄中に基板表面に形成された酸化膜をフッ酸水溶液によって除去し、その直後に純水で洗浄することにより、S i 基板表面は水素原子で覆われた状態となる。この状態では、基板の最表面に存在する S i 原子は水素と結合しているため、基板洗浄を行ってから成長を開始するまでの間に表面に自然酸化膜が形成されにくくなる。この洗浄による基板表面の水素終端処理に加え、更に表面に自然酸化膜が形成されるのを防ぐためには、基板の洗浄を行った後、基板表面が再び酸化されたり汚染物が付着するのを防ぐ為、S i 基板を清

浄な窒素中にて搬送すれば好適である。以下の実施例に関しても、エピタキシャル成長前に行う基板の洗浄と搬送方法に関しては同様である。

【0046】

[クリーニング]

次いで、洗浄を行った基板をロードロック室110内に設置し、ロードロック室110の真空排気を開始する。ロードロック室110の真空排気が完了した後、Si基板を、搬送室111を経由して成長室1(112)に搬送する。基板表面に汚染物が付着するのを防ぐ為、搬送室111及び成長室1(112)は高真空状態もしくは超高真空状態であることが望ましい。この真空状態は、例えば圧力が 1×10^{-5} Pa程度以下であると好適である。後に述べる成長室2(113)に関しても、真空度に関しては同様である。又、これらの成長室内で形成した単結晶層中に酸素やCが取り込まれることによる結晶欠陥の発生を防ぐ為、搬送室111や成長室1(112)および成長室2(113)に酸素や水分、又は有機系の汚染物を含んだガスの混入を防ぐ必要がある。このことから、Si基板の搬送を開始するのはロードロック室110の圧力が 1×10^{-5} Pa程度以下になってから行うことが望ましい。

【0047】

Si基板表面を水素終端処理しても、搬送中における表面の酸化膜形成や汚染物の付着を完全に防ぐことはできない為、エピタキシャル成長前にSi基板表面のクリーニングを行う。

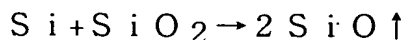
【0048】

クリーニング方法として、次の方法が代表的なものである。(1)真空中で半導体基板を加熱する方法、(2)水素を基板に供給した状態で加熱する方法、(3)原子状の水素を供給した状態で加熱する方法などである。

【0049】

(1) 真空中で半導体基板を加熱する方法

例えば、真空中でSi基板を加熱することによって、基板表面の自然酸化膜を以下の反応によって除去することが可能となる。



(2) 水素を基板に供給した状態で加熱する方法

又は、成長室 1 (112) 内に清浄な水素を供給した状態で Si 基板を加熱することによっても基板表面のクリーニングを行うことが可能である。前に述べた真空中での加熱によるクリーニングでは、基板温度が 500℃ 程度以上になると基板表面を終端していた水素は脱離し、基板表面のむき出しになった Si 原子と成長室内の雰囲気中に含まれる水分や酸素が反応し、基板表面が再酸化されてしまう。そして、この酸化膜が再び還元されることにより、クリーニングと共に基板表面の凹凸が増大し、その後行うエピタキシャル成長の均一性や結晶性を悪化させるという問題がある。又、同時に成長室内の雰囲気中に含まれる炭酸ガスや有機系のガスが表面に付着することから、C 汚染によるエピタキシャル成長層の結晶性の悪化も発生する。

【0050】

一方、水素を基板表面に供給した状態で Si 基板を加熱した場合、500℃ 以上の温度で水素が基板表面から脱離してしまっても、常に清浄な水素ガスが供給されている為、基板表面の Si と水素が結合と脱離を繰り返す。その結果、表面の Si は再酸化されにくくなり、クリーニング中に表面の凹凸が発生することもなく、清浄な表面状態を得ることが可能となる。

【0051】

水素雰囲気中でクリーニングを行う為、まず始めに成長室 1 (112) に水素ガスを供給する。この時、水素ガスを供給する前に基板表面から水素が脱離するのを防ぐ為、基板温度を水素の脱離する 500℃ より低くすれば好適である。又、水素ガスの流量は制御性良くガスが供給できるように 10 ml/min 以上とし、排気されたガスを安全に処理するためには 100 l/min 以下とすれば好適である。この時、成長室 1 (112) 内の水素ガスの分圧の下限は、基板表面に均一にガスが供給されるように 10 Pa とし、上限は装置の安全性を保つために大気圧とすればよい。水素ガスが供給された後、Si 基板をクリーニング温度まで加熱する。この時の加熱方法としては、加熱に際しての Si 基板への汚染や基板内での極端な温度の違いなどがなければ、どのような機構や構造でも良い。例えば、ワークコイルに高周波を印加して加熱する誘導加熱や、抵抗ヒータによ

る加熱などが適用できるほか、特に短時間での温度制御が可能な方法として、ランプからの輻射を利用した加熱方法を用いることができる。この加熱方法はクリーニングに限らず、後述する単結晶の成長に際しての加熱に関しても同様である。

【0052】

クリーニング温度までSi基板を加熱した後、所定の時間基板を加熱することにより表面の自然酸化膜や汚染物が除去できるが、例えばクリーニング温度は、クリーニングの効果が得られる温度として600℃以上であれば良く、また、熱処理による基板中のドーパントの拡散が顕著となる1000℃以下とすれば好適である。更に、エピタキシャル成長の前に形成されている構造へ与える影響を低減するため、クリーニング温度は可能な限り低くする必要がある。

【0053】

(3) 原子状の水素を供給した状態で加熱する方法

又、クリーニング温度の低温化を可能とする方法として、原子状水素を用いたクリーニングを行うこともできる。この方法では、基板表面に活性な水素原子を照射することにより、基板温度を上げなくても酸素の還元反応を生じさせることが可能となり、室温においてもクリーニング効果は得られる。

【0054】

例えば、水素ガスの中で、ある割合の分子を原子状態に解離させて基板表面に照射することにより、低温化が可能となる。例えば、クリーニング時間を10分以内とするためには、クリーニング温度を650℃とすればよい。

【0055】

以上、水素を用いたクリーニングについて説明を行ったが、その他の方法としてフッ化水素などのシリコン酸化膜に対してエッチング効果を持つガスを供給することも可能である。クリーニング方法に関しては他の実施例に関しても同様である。

【0056】

[エピタキシャル成長の準備]

クリーニングが終了した後、エピタキシャル成長を行う温度まで基板温度を下

げ、エピタキシャル成長を行う温度で基板温度を安定させる時間を設ける。温度の安定化を行うステップでは、クリーニング後の Si 基板表面を清浄な状態に保つために水素ガスを供給し続けることが望ましいが、水素ガスは基板表面を冷却する効果を持っているため、加熱条件が同じであればガスの流量に応じて基板表面温度が変化してしまう。従って、エピタキシャル成長で用いるガスの総流量と大きく異なる流量の水素ガスを供給した状態で温度が安定していても、エピタキシャル成長を開始した時点でガスの流量が変わることにより基板温度が大きく変動してしまう。この現象を防ぐため、基板温度の安定化を行うステップにおいては、その水素流量をエピタキシャル成長で用いるガスの総流量とほぼ同じ値を用いることが望ましい。又、必ずしも基板温度がエピタキシャル成長温度まで下がってから温度安定化を行うステップを設ける必要はなく、基板温度を下げながら水素ガスの流量を調整し、基板温度がエピタキシャル成長温度になった時点で水素ガスの流量が成長ガスの流量と等しくなっていれば好適であり、この場合、基板温度を下げたと同時にエピタキシャル成長を開始できるため、スループットを大幅に向上することができる。

【0057】

[エピタキシャル成長]

次いで、温度安定化を行っているときに供給していた水素ガスを停止すると共に、エピタキシャル層の原料ガスと n 型ドーピングガスを供給することによって n 型単結晶 (SiGe) C 層 3 のエピタキシャル成長を開始する。尚、キャリア・ガスとしては H_2 などを挙げることが出来る。

【0058】

ここで使用する原料ガスとしては Si と C の結合や、Ge と C の結合を有する化合物を用いることができる。

【0059】

Si と C の結合を有するガスの例を挙げれば、次の通りである。例えば、モノメチルシラン (CH_3SiH_3)、ジメチルシラン ($(CH_3)_2SiH_2$)、トリメチルシラン ($(CH_3)_3SiH$)、テトラメチルシラン ($(CH_3)_4Si$)、ジエチルシラン ($(C_2H_5)_2SiH_2$)、トリエチルシラン ($(C_2H_5)_3SiH$)、

CH_3SiH_3)、テトラエチルシラン ($(\text{C}_2\text{H}_5)_4\text{Si}$)、メチルトリクロルシラン (CH_3SiCl_3)、ジメチルジクロルシラン ($(\text{CH}_3)_2\text{SiCl}_2$)、トリメチルクロルシラン ($(\text{CH}_3)_3\text{SiCl}$) 等である。

【0060】

GeとCの結合を有するガスの例を挙げれば、次の通りである。例えば、メチルゲルマン (CH_3GeH_3)、ジメチルゲルマン ($(\text{CH}_3)_2\text{GeH}_2$)、テトラメチルゲルマン ($(\text{CH}_3)_4\text{Ge}$)、ジエチルゲルマン ($(\text{C}_2\text{H}_5)_2\text{GeH}_2$)、テトラエチルゲルマン ($(\text{C}_2\text{H}_5)_4\text{Ge}$)、メチルゲルマニウムトリクロライド (CH_3GeCl_3)、ジメチルゲルマニウムジクロライド ($(\text{CH}_3)_2\text{GeCl}_2$)、エチルゲルマニウムトリクロライド ($\text{C}_2\text{H}_5\text{GeCl}_3$)、トリエチルゲルマニウムクロライド ($(\text{C}_2\text{H}_5)_3\text{GeCl}$) 等である。

【0061】

n型ドーピングガスとしては、5族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。その例を挙げれば、例えば、ホスフィン (PH_3)、トリメチルホスフィン ($(\text{CH}_3)_3\text{P}$)、トリエチルホスフィン ($(\text{C}_2\text{H}_5)_3\text{P}$)、ホスフォラストリクロライド (PCl_3)、ホスフォラストリフロライド (PF_3)、アルシン (AsH_3)、ジエチルアルシン ($(\text{C}_2\text{H}_5)_2\text{AsH}$)、ジエチルアルシンクロライド ($(\text{C}_2\text{H}_5)_2\text{AsCl}$)、トリメチルアルシン ($(\text{CH}_3)_3\text{As}$)、トリエチルアルシン ($(\text{C}_2\text{H}_5)_3\text{As}$)、アルセニックトリクロライド (AsCl_3)、アンモニア (NH_3)、ジエチルアミン ($(\text{C}_2\text{H}_5)_2\text{NH}$)、トリエチルアミン ($(\text{C}_2\text{H}_5)_3\text{N}$)、トリメチルアミン ($(\text{CH}_3)_3\text{N}$) などが挙げられる。

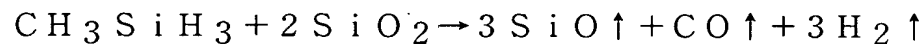
【0062】

例えば、原料ガスとして CH_3SiH_3 を用い、基板として面方位が(100)であるSi基板を用いる場合、Si基板上では CH_3SiH_3 が分解し、Si-C結合を保ったまま成長する。閃亜鉛鉱型の結晶構造であるSiCでは、Si原子とC原子の電子の束縛エネルギーの差が大きいため、同じ四族元素でありながら極性が発生し、図3(a)に示すようにCからなる原子層とSiからなる原子層が交互に積層して成長する。同様に、原料ガスとして CH_3SiH_3 と CH_3

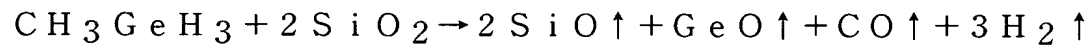
GeH₃を用いた場合、Si基板上でCH₃SiH₃とCH₃GeH₃が分解し、Si-C結合とGe-C結合を保ったまま成長する。SiCと同様にGe原子とC原子においても電子の束縛エネルギーの差が大きいことから、成長と同時に極性が発生し、図3(b)に示すようにCからなる原子層とSiとGeの混晶であるSi_{1-x}Ge_xからなる原子層が交互に積層して成長する。SiとGeは全固溶の混晶を形成するため、Si_{1-x}Ge_x層内では自由にGe組成比を変化させることができる。このとき、(SiGe)C層中の電子状態はGe組成比に応じて変化するため、(SiGe)C層の禁制帯幅は、Ge組成比に応じて変化する。

【0063】

Si基板上に形成されたSi酸化膜の開口部に単結晶SiC層を選択エピタキシャル成長により形成すると、Si酸化膜上では原料ガスと表面分子が反応して以下のような反応が生じる。例えば、原料ガスとしてCH₃SiH₃を用いた場合、



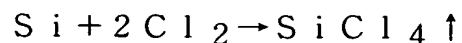
といった還元反応が生じる。又、原料ガスとしてCH₃GeH₃を用いた場合、

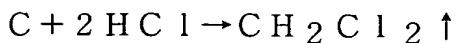
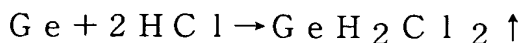
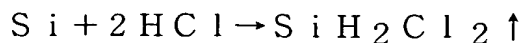
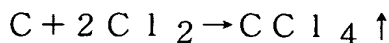
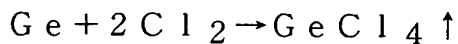


といった還元反応が生じる。更に、他の原料ガスを用いた場合も同様である。

【0064】

上記の還元反応は、数多くの反応のうちの一部であり、この他にも原料ガスが分解してエネルギーが高い状態になったラジカル分子と酸化膜との還元反応なども存在する。その結果、酸化膜上では上記還元反応によるエッチングと原料ガスが分解して生じる堆積とが同時に進行しており、成長温度及び圧力に依存してエッチングと堆積の大小関係が変化する。上記の還元反応だけでは選択性を保持できる膜厚に限界があるため、比較的厚い単結晶(SiGe)C層を選択エピタキシャル成長する場合、原料ガスに加えて、塩素ガス(Cl₂)や塩化水素ガス(HCl)といったハロゲン系のガスを添加して、(SiGe)C層のエッチングを行う。その反応には、





といったものがある。以上の反応が同時に進行する結果、選択性が維持されている状態では、Si酸化膜上に(SiGe)C層は堆積しない。

【0065】

又、エピタキシャル成長を行う温度範囲は、Si酸化膜およびSi窒化膜と単結晶上との選択性が良好に得られ、且つ原料ガスの分解が生じる500℃以上で、上限は表面モフォロジーが良好となり、かつ同一基板上に形成されている半導体装置の特性劣化が生じにくい900℃以下の範囲である。この温度範囲で、成長圧力は成長速度が表面での反応により律速される0.1Pa以上で、上限は気相中での反応が起こり始める10000Pa以下であればよい。以下の実施例においても、単結晶(SiGe)C層の選択エピタキシャル成長条件に関しては同様である。

【0066】

次に、エピタキシャル成長と歪みの関係の一つの側面について説明する。

【0067】

ここで、例えばGe組成比が0%であるSiC層をSi基板上に成長した場合、SiC層の格子定数はSi基板の格子定数と比較して約20%小さいため、SiC層は歪みを持った状態で成長する。ここにGeを導入すると、Ge組成比を増やすに従い(SiGe)C層の格子定数は大きくなるため、Si基板との格子不整合は小さくなるが、Geを最大限に入れたGeCにおいても格子定数はSiよりも小さいため、(SiGe)C層はGe組成比に依らずに面内方向に伸張歪みを受けた状態で成長する。歪みを受けた状態で成長を続けると、ある膜厚以上になると歪みが緩和して転移が発生することが知られている。

【0068】

転移を含んだ層をトランジスタの活性領域に用いるとリーク電流の発生や耐圧

の低下などの問題が発生してしまう。そこでこの問題を解決する方法として、歪みを持ったまま転移が発生させない状態を実現するか、もしくは積極的に転移を発生させて歪みを緩和させ、その上に実用上問題のないレベルまで転移密度を低減した単結晶層を形成することが考えられる。Si 基板上に単結晶(SiGe)C 層を成長する場合、Ge 組成比が小さい場合は約 20% の格子不整合が発生し、この場合の転移が発生する臨界膜厚は数 nm 程度となる。

【0069】

一方、積極的に転移を発生させて歪みを緩和させるため、(SiGe)C バッファ層を用いることもできる。このバッファ層を用いた場合の断面構造を図 2 に示す。デバイスに適用することを考慮に入れると、より薄いバッファ層内で効率よく歪みを緩和させる必要があるため、成長温度等の条件の最適化を行う他に、化学量論比よりも多くの C を局所的に導入しても良い。そのために、原料ガスに加えて C を含んだ有機系ガスを基板表面に供給すると好適である。有機系ガスとしては、例えばメタン (CH_4)、エタン (C_2H_6)、エチレン (C_2H_4)、アセチレン (C_2H_2)、プロパン (C_3H_8) などの炭化水素ガスや炭素と塩素やフッ素との化合物などが挙げられる。

【0070】

更に、バッファ層内で効率よく歪みを緩和させ、その上に形成する単結晶(SiGe)C 層の結晶性を向上するには、選択成長を用いた局所成長が有効である。Si 基板上に形成した開口部を有する絶縁膜と、その開口部を利用し、局所的に成長した単結晶(SiGe)C 層の鳥瞰図を図 4 に示す。シリコン基板 1 上にシリコン酸化膜からなる絶縁膜 2 を形成し、ホトリソグラフィとエッチングにより開口部 6 を形成する。ここで、絶縁膜は必ずしもシリコン酸化膜である必要はなく、シリコン窒化膜などでも良い。又、開口部 6 を形成するエッチングはウェットエッチングとドライエッチングのどちらでも良い。フッ酸水溶液などの絶縁膜と Si との選択比が十分に大きなウェットエッチングを使用した場合、Si 基板 1 の表面に対してのダメージがないため、その上に形成する単結晶(SiGe)C 層に欠陥が発生しにくい。従って、欠陥を発生させずに単結晶層を形成する場合にはこのようなウェットエッチングが適している。一方ドライエッチングを使

用した場合、Si 基板表面はエッチングの際に、ラジカルによってダメージを受けるため、その上に形成する単結晶層内に欠陥が発生しやすい。ドライエッチングの場合、この性質を利用して積極的に転移を発生させ、効率よくバッファ層を形成することができる。但し、この場合、トランジスタなどの半導体装置に本構造を適用する際、転移を含んだ領域を活性領域として使用したり、この領域の近傍にpn接合を形成すると、再結合電流が発生して特性が悪化するため、注意が必要である。これは、バッファ層内の転移に関しても同様である。形成する開口部のサイズは、有効に歪みが緩和できる大きさとして、 $500\mu\text{m}$ 程度以下であればよい。この開口部内に、先程述べた条件で単結晶(SiGe)C層を選択成長することにより、単結晶領域の面積が小さいために、開口部の縁に近い部分での自由度が増し、歪みを有効に緩和することが可能となる。

【0071】

成長室1(112)でのn型層の形成を終了するため、成長ガス及びドーピングガスの供給を停止し、反応室1からガスを排気すると同時に基板温度を下げる。このとき、基板表面のクリーニング終了時と同様に、基板表面に汚染物が付着するのを防ぐために清浄な水素ガスを供給すれば好適である。成長室間の移動を行う際、直接成長室の間でウェハの搬送を行うことも可能であるが、n型及びp型のドーピングを行う二つの成長室間で、スループット良くエピタキシャル成長を行うためには、基板の搬送室を設ければよい。成長室1(112)から搬送室111を介して成長室2(113)に基板を移動する場合、成長室1(112)と同様に、Si基板表面に汚染物を付着させないためには、基板搬送室111と成長室2(113)にも水素ガスを供給し、基板は常に清浄な水素ガス中にある状態とすれば好適である。但し、基板表面を終端している水素原子は、基板温度が低ければ安定な状態で表面に存在することができるので、基板表面に汚染物質が付着しない範囲であれば、水素の供給に中断時間を設けても良い。例えば、成長室や搬送室111の真空度が $1 \times 10^{-7} \text{Pa}$ 以下の場合、基板温度を室温まで下げれば、中断時間を10分程度設けても基板表面に汚染物質は付着しない。成長室1(112)から搬送室111へ基板を搬送する際には、成長室1(112)と搬送室111の圧力が大きく異なっていると、ゲートバルブを開けた際に

圧力の高い方から低い方へと水素ガスが急激に流れるため、基板支持位置がずれたり、パーティクルが巻き上げられる恐れがある。従って、基板の搬送を行う際には、成長室 1 (112) と搬送室 111 の圧力をほぼ等しくなるように制御する必要がある。同様に、成長室 2 (113) に搬送室 111 の圧力と同じ圧力になるように制御した状態で水素ガスを供給し、搬送室 111 から成長室 2 (113) に基板を搬送する。又、ここでは、基板表面のクリーニングと同様に、原子状の水素を含有した水素ガスを供給することにより、基板表面は反応性の高くなった水素原子と容易に結合しやすいため、特に低温状態での基板表面の水素被覆率が向上する。その結果、成長を中断し基板を搬送・保持している間の基板表面の汚染が発生しにくいため、多層膜の結晶性を向上させることができる。原子状水素を添加した基板搬送中の水素ガス供給方法に関しては、以下の実施例に関しても同様である。

【0072】

成長室 2 (113) 内に基板を設置した後、清浄な水素を供給し続けた状態で基板温度をエピタキシャル成長温度まで上昇させる。この時の水素ガス供給条件は、成長室 1 (112) における基板表面のクリーニング条件と同じとすればよい。成長室 1 (112) で成長した n 型単結晶 (SiGe) C 層の表面を清浄な状態に保ったまま成長室 2 (113) に基板を搬送しているため、成長室 2 (113) で p 型単結晶 (SiGe) C 層を成長する前に基板表面のクリーニングを行う必要が無い。その結果、エピタキシャル成長温度よりも高い温度での処理が必要なくなるため、成長室 1 (112) で形成した n 型単結晶 (SiGe) C 層及び Si 基板中のドーパントの拡散や、転移及び欠陥の発生による結晶性の悪化を生じることがない。基板温度が、成長室 2 (113) でのエピタキシャル成長温度に到達した後、水素ガス流量を、その後に行う成長における全ガス流量とほぼ等しい量にして、基板温度が安定する時間を設ける。または、成長室 1 (112) での成長開始前と同様に、基板の加熱と共に水素ガス流量を調整し、基板温度の制御を行いながら、同時に温度の安定化を行うことも可能であり、こうすることでスループットの向上が可能となる。

【0073】

基板温度が安定した後、水素ガスを停止し、成長ガス及びp型ドーピングガスを導入することにより、第2の半導体層であるp型単結晶(SiGe)C層4の形成を開始する。

【0074】

p型ドーピングガスとしては、3族元素と炭素、水素、塩素、フッ素などからなる化合物を用いることができる。これらの例を掲げれば、例えば、ジボラン(B_2H_6)、トリメチルボロン($(CH_3)_3B$)、トリエチルボロン($(C_2H_5)_3B$)、メチルボロンジフロライド(CH_3BF_2)、ジメチルボロンフロライド($(CH_3)_2BF$)、ボロントリクロライド(BCl_3)、ボロントリフライド(BF_3)、ジメチルアルミニウム($(CH_3)_2AlH$)、トリメチルアルミニウム($(CH_3)_3Al$)、トリエチルアルミニウム($(C_2H_5)_3Al$)、メチルアルミニウムジクロライド(CH_3AlCl_2)、ジメチルアルミニウムクロライド($(CH_3)_2AlCl$)、エチルアルミニウムジクロライド($C_2H_5AlCl_2$)、ジエチルアルミニウムクロライド($(C_2H_5)_2AlCl$)などが挙げることが出来る。

【0075】

選択成長の条件に関しては、単結晶n型(SiGe)C層の形成の時の用いた条件と同じとすればよく、必要に応じて選択性を向上するためのハロゲン系のガスを同時に使用することによりp型単結晶(SiGe)C層を選択的に形成する。このときn型単結晶(SiGe)C層と比較してGe組成比を変化させることにより、p型単結晶(SiGe)C層の禁制帯幅を変えることができ、n型単結晶(SiGe)C層とp型単結晶(SiGe)C層の界面でヘテロ接合を形成することができる。本実施例では、n型単結晶(SiGe)C層とp型単結晶(SiGe)C層からなるヘテロ構造に関して説明したが、異なるドーピングの組み合わせに関しても、全く同様に実現できる。

【0076】

又、本構造に、更に単結晶(SiGe)C層を形成した多層構造も全く同様に実現できることは言うまでもない。

【0077】

本実施例に示したように、禁制帯幅と電子移動度がSiよりも大きな(SiGe)Cという材料を用い、結晶性の良好な半導体ヘテロ接合を形成することが可能となり、本構造を含む半導体装置の性能を大幅に向上することができる。本実施例で説明した方法を用いて、単結晶(SiGe)Cからなる多層構造の導電型と禁制帯幅を変化させることにより、バイポーラトランジスタや電界効果トランジスタに適用が可能となり、これらのトランジスタの高速化・高耐圧化を著しく向上することができる。

【0078】

<実施例2>

図5に、本発明に係る半導体装置の一実施例であるバイポーラトランジスタの真性部分における、不純物濃度及びGe組成比プロファイルとそれに対応するトランジスタのバンド構造を示す。図5の(a)は表面からの深さと不純物濃度、(b)は表面からの深さとGeの組成比、(c)はこれに対するバンド構造図である。尚、バンド構造図は、価電子帯の上端a、及び伝導帯の下端bを示している。図の横軸は表面からの深さで、(a)より(c)の各図で共通で示した。

【0079】

シリコン基板上に高濃度コレクタ領域である n^+ -Si層110を形成し、この上にエピタキシャル成長によりコレクタ領域となる n -SiC層111を形成する。この時、実施例1で説明したように、Si基板とSiC層111の間には大きな格子不整合があるため、結晶欠陥を発生させないためには、SiCの膜厚を臨界膜厚以下にするか、バッファ層を設けて積極的に歪みを緩和させる必要がある。SiCの場合臨界膜厚は数nm程度しか無いため、バイポーラトランジスタに適用する際にはバッファ層を設けたほうが容易にトランジスタを形成することができる。バッファ層内では転移が多数存在するため、トランジスタの真性領域から電氣的に影響のないところまで離して形成することが望ましい。従って、バッファ層は n^+ -Si領域のすぐ上に形成すれば好適であり、電氣的な影響を低減するためには n 型不純物の濃度を高くすればよい。

【0080】

次いで、Geの原料ガスを添加してコレクタ領域となる n^+ -(Si_{1-x}1

$\text{Ge}_{x1})\text{C}_{112}$ を形成する。この時、Ge組成比 $x1$ は一定の値でも良いが、急峻な組成比の変化に対応した格子歪みとエネルギー障壁の発生を抑制するためには、図示したように組成比を連続的に変化させれば良い。

【0081】

次いで、ベース層となる $p-(\text{Si}_{1-x2}\text{Ge}_{x2})\text{C}_{113}$ とエミッタとなる $n^+-\text{SiC}_{114}$ をエピタキシャル成長する。

【0082】

ヘテロ接合バイポーラトランジスタの特性を向上させるためには、エミッタの禁制帯幅よりもベースの禁制帯幅を小さくして電子の注入効率を増大させる必要がある。図5に示した例では、エミッタをSiCで形成し、ベース中のみにGeを添加しているが、エミッタの禁制帯幅がベースの禁制帯幅よりも大きいという条件下であれば、Geをエミッタにも添加することができる。又、実施例1とは異なる条件で積層構造を形成した場合、 $(\text{SiGe})\text{C}$ の方がSiCに比べて禁制帯幅が広くすることも出来る。この場合は、ベースの禁制帯幅よりもエミッタの禁制帯幅の方が大きくなるように、エミッタにより多くのGeを添加すればよい。本実施例で説明したバイポーラトランジスタの不純物濃度、及びGe組成比プロファイルに関しては他の実施例でも同様に適用出来る。

【0083】

図6に、本発明に係る半導体装置の一実施例を示すバイポーラトランジスタの断面構造を示す。Si基板11上にコレクタとなる高濃度n型Si層12及び低濃度n型Si層13を形成する。トランジスタの活性領域以外の部分にコレクタ・ベース絶縁膜14を形成し、コレクタ領域にはコレクタ引き出し領域15を形成する。各トランジスタ間にドライエッチングによって溝120を形成する。この溝120の内壁に絶縁膜16を形成した後、溝120の中にさらに絶縁膜17を埋め込むことによって素子分離領域を形成する。

【0084】

コレクタ・ベース分離絶縁膜18、19上にベース引き出し電極となる多結晶Si層20及びエミッタ・ベース分離絶縁膜21を形成し、このエミッタ・ベース分離絶縁膜21とベース引き出し電極20に開口部を形成する。開口部内のベ

ース引き出し電極 20 の側壁に第 2 のエミッタ・ベース分離領域 22 を形成した後、高濃度コレクタ領域 23 を形成する。コレクタ・ベース分離絶縁膜 19、18 に開口部を形成し、低濃度 n 型 Si 層 23 を露出させる。この後、低濃度 n 型 Si 層 23 上のみに低濃度コレクタとなる n 型 Si C 層 24 と真性ベースとなる p 型 (Si Ge) C 層 26 とつなぎベース 25、27 を形成する。真性ベース層 26 の表面が第 2 のエミッタ・ベース分離領域 22 の底面よりも上になるように形成した後、エミッタ層となる n 型 Si C 層 28 を順次エピタキシャル成長する。エミッタ電極となる高濃度 n 型多結晶 Si 層 29 を形成した後、全体に絶縁膜 30 を堆積する。最後に、エミッタ電極 31、ベース電極 32、コレクタ電極 33 をそれぞれ形成する。

【0085】

図 7 及び図 8 に、図 6 に示した構造を有する半導体装置を実現するための低濃度コレクタ層、真性ベース層、エミッタ層の製造方法のフロー図を示す。先ず、コレクタ層となる高濃度 n 型単結晶 Si 層 12 を形成し、素子分離絶縁膜 14 とその開口部に低濃度コレクタ層となる低濃度 n 型単結晶 Si 層 13 を形成する。コレクタ・ベース分離絶縁膜となる Si 酸化膜 18 と Si 窒化膜 19 をそれぞれ堆積し、その上にベース引き出し電極となる p 型多結晶 Si 層 20 とエミッタ・ベース分離絶縁膜 21 を形成する。前記 p 型多結晶 Si 層 20 とエミッタ・ベース分離絶縁膜 21 に開口部 130 を設ける。この開口部 130 が本願発明における局所的な半導体単結晶層を形成する為の手段となる。この開口部 130 の側壁にエミッタ・ベース分離絶縁膜 22 を形成し、開口部 130 にイオン注入することにより n 型コレクタ領域 23 を形成する。次いで、コレクタ・ベース分離絶縁膜 19、18 を順次エッチングすることにより、低濃度 n 型単結晶 Si 層 13 及び n 型コレクタ領域 23 の表面を露出させる (図 7 (a))。

【0086】

この開口部 130 内に、実施例 1 において示した方法で n 型単結晶 (Si Ge) C からなる n 型コレクタ層 24 及びその後の半導体単結晶層を選択エピタキシャル成長により形成する。即ち、半導体基体に局所的に所定の第 1 及び第 2 の半導体単結晶層を形成することとなる。その材料組成の一般的な範囲については前述

したところである。

【0087】

ここで、図5に示したGe組成比プロファイルのように、n型コレクタ層24内でGe組成比を変化させれば、格子歪みの低減やコレクタ内でのエネルギー障壁の発生を抑制することが可能となる。低濃度n型単結晶Si層13の表面にn型単結晶(SiGe)C層24を形成すると同時に、ひさし状の構造になっているp型多結晶Si層20の底面からn型多結晶(SiGe)C層25が成長する。この時、p型多結晶Si層20の結晶構造は成長条件によって変化するものの、その面方位は(111)面と(311)面が支配的となる。Si基板として(100)面を用いると、(111)面や(311)面上では(100)面と比較して成長速度が遅くなるため、n型多結晶(SiGe)C層25の厚さはn型単結晶(SiGe)C層24よりも薄くなる。この状態で連続的に真性ベースを形成すると、真性ベースとベース引き出し電極であるp型多結晶Si層20の間にn型多結晶(SiGe)C層25が存在するため、ベース抵抗が増大するか電氣的に導通がとれない可能性がある。従って、n型単結晶(SiGe)C層24とn型多結晶(SiGe)C層25を形成した後、成長室内でアニールを行うことにより、p型不純物をp型多結晶Si層20から拡散させ、n型多結晶(SiGe)C層25の一部をp型にする(図7(b))。

【0088】

次いで、真性ベースとなるp型単結晶(SiGe)C層26をn型単結晶(SiGe)C層24上に選択エピタキシャル成長により形成し、同時にn型多結晶(SiGe)C層25上にはp型多結晶(SiGe)C層27を形成する。エミッタを形成する際にエミッタとp型多結晶(SiGe)C層27が接触してしまうことを防ぐため、p型単結晶(SiGe)C層26の表面がエミッタ・ベース分離絶縁膜22の底面よりも上にあれば好適である(図7(c))。

【0089】

但し、p型単結晶(SiGe)C層26の表面がエミッタ・ベース分離絶縁膜22の底面よりも下にある場合、エミッタ・ベース分離絶縁膜22の側壁にさらに絶縁膜を形成してp型多結晶(SiGe)C層を覆うこともできる。次いで、エミ

ッタとなる n 型単結晶 SiC 層 28 をコレクタと同様の選択成長により形成する (図 8 (a))。最後に開口部内にエミッタ電極となる高濃度 n 型多結晶 Si 層 29 を形成すれば、図 6 に示したバイポーラトランジスタの真性部分が完成する (図 8 (b))。

【0090】

本構造により、禁制帯幅が大きく、結晶性の良好な (SiGe)C 層によりバイポーラトランジスタを形成できるため、バイポーラトランジスタの高速化・高性能化に有効である。従って、このトランジスタでは 300 GHz を超える遮断周波数が実現できる。又、本例の方法では、コレクタ・ベース・エミッタの真性領域を形成する際に、マスク合わせを全く用いない自己整合構造となっている。従って、寄生容量とベース抵抗が大幅に低減でき、バイポーラトランジスタの最大発信周波数を著しく向上することができる上に、トランジスタの雑音の低減が可能となる。

【0091】

更に、(SiGe)C を用いたバイポーラトランジスタを、通常の Si や SiGe からなる半導体装置と同一基板上に形成できることから、LSI の低コスト化や低消費電力化が可能となる。

【0092】

<実施例 3>

図 9 に、本発明に係る半導体装置の一実施例を示すバイポーラトランジスタの断面構造を示す。本例は真性ベースとこれからの取り出し構造に特徴を有する。

【0093】

Si 基板 51 上に、コレクタとなる高濃度 n 型 Si 層 52 および低濃度 n 型 Si 層 53 を形成する。トランジスタの活性領域以外の部分にコレクタ・ベース絶縁膜 54 を形成し、コレクタ領域にはコレクタ引き出し領域 55 を形成する。各トランジスタ間にドライエッチングによって溝 120 を形成し、溝 120 の内壁に絶縁膜 56 を形成する。この後、溝 120 の中にさらに絶縁膜 57 を埋め込むことによって素子分離領域を形成する。

【0094】

コレクタ・ベース分離絶縁膜 58、59 を形成し、高濃度コレクタ領域 60 を形成する。コレクタ・ベース分離絶縁膜 59、58 に開口部 130 を形成し、低濃度 n 型 Si 層 53 を露出させる。この開口部 130 が本願発明における局所的な半導体単結晶層を形成する為の手段となる。この後、低濃度 n 型 Si 層 53 上にのみ低濃度コレクタとなる n 型 SiC 層 61 を形成する。更に、この n 型 SiC 層 61 と前記コレクタ・ベース分離絶縁膜 59 上に、真性ベースとなる p 型単結晶(SiGe)C 層 62 と外部ベースとなる p 型多結晶(SiGe)C 層 63 をそれぞれ形成する。次いで、p 型単結晶(SiGe)C 層 62 上にエミッタ層となる n 型単結晶 SiC 層 64 を形成し、ベース引き出し電極となる p 型多結晶 Si 層 68 とエミッタ電極となる高濃度 n 型多結晶 Si 層 70 を形成する。この後、全体に絶縁膜 69 を堆積する。最後に、エミッタ電極 72、ベース電極 73、コレクタ電極 74 をそれぞれ形成する。

【0095】

図 10 及び図 11 に、図 9 に示した構造を有する半導体装置を実現するための低濃度コレクタ層、真性ベース層、エミッタ層の製造方法のフロー図を示す。

【0096】

先ず、コレクタ層となる高濃度 n 型単結晶 Si 層 52 を形成し、素子分離絶縁膜 54 と開口部 30 に低濃度コレクタ層となる低濃度 n 型単結晶 Si 層 53 を形成する。コレクタ・ベース分離絶縁膜となる Si 酸化膜 58 と Si 窒化膜 59 をそれぞれ堆積し、低濃度 n 型単結晶 Si 層 53 中にイオン注入することにより n 型コレクタ領域 60 を形成する。次いで、コレクタ・ベース分離絶縁膜 59、58 を順次エッチングすることにより、低濃度 n 型単結晶 Si 層 53 の表面を露出させる(図 10 (a))。

【0097】

この開口部 30 内に、実施例 1 において示した方法で n 型単結晶(SiGe)C からなる n 型コレクタ層 61 を選択エピタキシャル成長により形成する(図 10 (b))。即ち、半導体基体に局所的に所定の第 1 及び第 2 の半導体単結晶層を形成することとなる。その材料組成の一般的な範囲については前述したところである。例えば、ここで、図 5 に示した Ge 組成比プロファイルのように n 型コレ

クタ層 61 内で Ge 組成比を変化させれば、格子歪みの低減やコレクタ内でのエネルギー障壁の発生を抑制することが可能となる。

【0098】

次いで、真性ベースとなる p 型単結晶(SiGe)C層 62 と外部ベースとなる p 型多結晶(SiGe)C層 63 を n 型単結晶(SiGe)C層 61 上、及びコレクタ・ベース分離絶縁膜 59 上にそれぞれ形成する。同様に、エミッタとなる n 型単結晶 SiC 層 64 と n 型多結晶 SiC 層 65 を p 型単結晶(SiGe)C層 62 と p 型多結晶(SiGe)C層 63 上にそれぞれ形成する(図 10 (c))。次いで、全面に絶縁膜 66、多結晶 Si 層 67、絶縁膜 68 を堆積し、ホトリソグラフィと違方性エッチングにより真性領域以外の絶縁膜 68、多結晶 Si 層 67 と絶縁膜 66 を除去する。そして、導電性の違いで選択性を持つエッチングにより、n 型多結晶 SiC 層 65 と n 型単結晶 SiC 層 64 の一部をエッチング除去する。例えば、このような方法として、ヒドラジンを用いたエッチングを使用することができる。ヒドラジンによるエッチングでは n 型層のエッチング速度と比較して、p 型層はエッチング速度が遅い。そこで、プロセスのばらつきを許容するためのオーバーエッチ量を考慮に入れて p 型層のエッチング量を見積り、これよりも p 型層の膜厚を大きくしておけば p 型層が完全にエッチングされてしまうことはない(図 11 (a))。

【0099】

絶縁膜 68 と多結晶 Si 層 67 と絶縁膜 66 と n 型単結晶 SiC 層 64 の側壁に絶縁膜 69 を形成し、単結晶(SiGe)C層 62 と多結晶(SiGe)C層 63 上にベース引き出し電極となる p 型多結晶 Si 層 70 を堆積する。ここでは p 型多結晶 Si 層 70 は選択成長によって p 型単結晶(SiGe)C層 62 と p 型多結晶(SiGe)C層の上に形成すればよい(図 11 (b))。

【0100】

最後に層間絶縁膜 71 を全面に形成し、化学機械研磨法によって多結晶 Si 層 66 の表面を露出させ、多結晶 Si 層 67、絶縁膜 66 をエッチングし、この開口部内にエミッタ電極となる高濃度 n 型多結晶 Si 層 72 を形成すれば、図 9 に示したバイポーラトランジスタの真性部分が完成する(図 11 (c))。

【0101】

本構造により、真正ベース 62 が、禁制帯幅が大きく、結晶性の良好な (SiGe)C 層によりバイポーラトランジスタを形成できるため、バイポーラトランジスタの高速化・高性能化に有効である。又、ベース引き出し電極をエピタキシャル成長の後に形成するため、絶縁膜の膜厚ばらつきやエピタキシャル成長のプロセスばらつきが生じても確実に真性ベースと接続することができ、ベース抵抗の低減とばらつきの低減が可能となる。従って、このトランジスタでは 300 GHz を超える遮断周波数が実現できる。又、コレクタ・ベース・エミッタの真性領域を形成する際にマスク合わせを用いない自己整合構造となっているため、寄生容量とベース抵抗が大幅に低減でき、バイポーラトランジスタの最大発信周波数を著しく向上することができる上に、トランジスタの雑音の低減が可能となる。更に、(SiGe)C を用いたバイポーラトランジスタを通常の Si や SiGe からなる半導体装置と同一基板上に形成できることから、LSI の低コスト化や低消費電力化が可能となる。

【0102】

<実施例 4>

本実施例では、(SiGe)C 層をチャネル層、SiC 層をバリア層とした電界効果型半導体装置を例示する。電界効果型半導体装置において電子の流れるチャネル層は SiC 層ないしは (SiGe)C 層に形成する。ここで、SiC とは Si と C の化学量論比が大略 1:1 であり、閃亜鉛鉱型の結晶構造を有するいわゆるシリコンカーバイド (Siカーバイドと略記する) である。尚、化学量論比は若干の結晶欠陥 (積層欠陥、格子間原子など) あるいは不純物によりわずかに 1:1 からずれることがある。又、(SiGe)C とは、Si と Ge の原子数の和と C の原子数の比が大略 1:1 であって、閃亜鉛鉱型の結晶構造を有する物質である。

【0103】

SiC と (SiGe)C の禁制帯幅の大小関係は、Ge の含有率や膜の形成方法によって異なる。本発明の電界効果型半導体装置においては両者のうち禁制帯幅の小さい物質でチャネル層を形成し、禁制帯幅の大きい物質でバリア層を形成す

る。SiC層の方が禁制帯幅が広い場合のバンド構造図を図12の(a)に示す。この例の電界効果型半導体装置の基本的な断面構造は、模式的に図1に示される通りである。Si基板1の上部に、単結晶(SiGe)C層3及びバリア層となる単結晶(SiGe)C層4を形成する。この場合、各半導体層は、絶縁膜2に形成された開口部6の内部に形成される。更に、このバリア層4の上部に、通例の電界効果型半導体装置と同様に、ゲート電極及びその両側にソース電極及びドレイン電極を形成する。ゲート電極による電界効果によりチャンネル層内部に電子を誘起し、両側に形成するソース電極からドレイン電極にむけて電流を流すことが可能になる。

【0104】

図12の(a)は実施例4に係わる、SiC層83、(SiGe)C層82、Si層81が積層された構造のバンド構造模式図である。又、図12の(b)はバリア層の上部のゲート電極に電圧を印加し、半導体装置がオン状態になったときのバンド構造模式図である。図12の(c)は上記(SiGe)C層とSi層の界面付近のSi層内部に高濃度のp型不純物を添加した場合で、図12の(b)と同様にゲート電圧を印加した場合のバンド構造模式図である。尚、各図は積層方向を同じ軸として示しており、又、図12の(a)では伝導帯の下端、価電子帯の上端を、(b)及び(c)では伝導帯の下端を示している。図13は本実施例の電界効果型半導体装置の主要断面図を示す。尚、図13は本発明に成る半導体諸層を用いた電界効果型半導体装置の例で、その主要半導体層の領域のみを示し、当該半導体層形成の為の絶縁物層領域の図示は省略されている。

【0105】

はじめに、図12を用いて本半導体装置の動作原理を説明する。図12の(a)に示すように禁制帯幅はSiC(83)、(SiGe)C(82)、Si(81)の順に広い。但し、本実施例とは異なる条件で積層構造を形成した場合、(SiGe)Cの方がSiCに比べて禁制帯幅が広くなることもある。

【0106】

SiCバリア層83の表面にゲート電極85を形成し、このゲート電極に電圧を印加した場合、図12の(b)のようにバンドが曲がり、SiC83と(Si

Ge)C82 付近の(SiGe)C層82内に電子が蓄積されてチャンネルが形成される。しかしながら、Siの禁制帯幅の方が小さいためにSi81と(SiGe)C82 付近のSi層内にも電子が蓄積されてしまう。この電子を図12の(b)では「蓄積した電子」と表示した。Si層81内に蓄積された電子の飽和速度は(SiGe)C層82内に蓄積された電子に比べて半分程度であるため、動作速度を低下させる原因となる。

【0107】

更に、高速動作をさせるためにはチャンネルの電子走行時間を短縮する、即ち、ゲート長を短縮する必要がある。しかし、Si層81内に蓄積された電子はゲートからの電界による制御が困難なために、ソースからドレインに抜けるリーク電流、即ち、パンチスルー電流を増大させてしまい正常なトランジスタ動作をしなくなる。

【0108】

この為、Si層81のみを高濃度のp型不純物添加を行う。図12の(c)には「p⁺不純物」と表示した。すると、図12の(c)に示すようにSi層のエネルギーレベルが変化し、(SiGe)C層82とSi層81との界面でバンドが大きく曲がる。この為、もはやSi層内への電子の蓄積は起こらない。従って、動作速度の低下、パンチスルー電流の増大が防止される。又、表面側のSiCバリア層3も余り厚いとゲート電極界面側に新たなチャンネルを形成して性能劣化の原因になるため、バリア層83は可能な限り薄くすることが望ましい。

【0109】

次に、本実施例の電界効果型半導体装置の構造について図13を用いて説明する。Si層81に設けられた高濃度p型領域88の上に、(SiGe)Cチャンネル層82、SiCバリア層83の順に形成されている。中央部、バリア層83の上部にはゲート電極85が形成されており、ゲート電極85を挟むように両側にソース電極86およびドレイン電極87が形成されている。(SiGe)C層82のSiとGeの比率は95:5であり、膜厚は70nmである。SiC層83の膜厚は5nmである。ゲート電極85はNi/TiのT型形状のショットキーゲートとなっている。チャンネル層82の下部のSi層81内にはBをイオン注入して

高濃度 p 型領域 88 が形成されている。ソースドレインが形成される領域 86、87 の SiC 層 83 及び (SiGe)C 層 82 には As をイオン注入して高濃度 n 型領域 89 が形成されている。この n 型領域の上部にはオーミック接触用 Al 電極 90 が形成されている。

【0110】

本半導体装置の製造方法を以下に説明する。Si 基板上に局所的に SiC 層ないしは (SiGe)C 層を形成する方法については別途記述してある為、本項では省略する。尚、SiC 層 83 及び (SiGe)C 層 82 はトランジスタのしきい値電圧が +0.7 V 程度になるように、あらかじめごく弱い p 型にドーピングされている。

【0111】

上述の方法に従い製造された、Si 層 81 上の (SiGe)C 層 82 と SiC 層 83 の積層構造のうちで素子の活性領域をドライエッチングにより分離する。更に、ドライエッチングにより下地の Si が露出した領域に Si 酸化物膜を埋込み、研磨により平坦化する。

【0112】

次に活性領域の Si 層 81 上部と (SiGe)C 層 82 の界面付近を狙って B を $5 \times 10^{13} \text{ cm}^{-2}$ 注入し、しきい値調整のために SiC バリア層 83 内を狙って N 或いは B を概ね $2 \times 10^{12} \text{ cm}^{-2}$ 程度以下の範囲で注入する。しきい値電圧を低下させたい場合には N を、上昇させたい場合には B を注入すればよい。マスクにより部分的に注入すると、その部分のみしきい値電圧を低下させることが出来る。又、ソースドレイン領域 86、87 を As のイオン注入により形成する。As の注入量は $4 \times 10^{15} \text{ cm}^{-2}$ 程度とした。1100℃ の瞬時高温熱処理により、これまで注入された不純物を活性化させる。

【0113】

次に SiC バリア層 83 表面を化学洗浄により清浄化した後、Ni ショットキーゲート電極膜を蒸着し、ドライエッチングによりゲート長 0.15 ミクロンに加工する。更に、T 型ゲート電極上部膜である Ti を蒸着し、ドライエッチング加工する。最後に上記ソースドレイン領域の上部にオーミック金属 (Al) を蒸

着しドライエッチング加工して、本半導体装置の主要部分が完成する。配線工程等は一般的な半導体装置と変わらないため省略する。

【0114】

上記の場合、SiCと(SiGe)Cの禁制帯幅の差を利用してチャネル層への電子の蓄積を可能としたが、この現象は上記2種の材料の組合せ以外にも可能である。この例を挙げれば、SiCあるいは(SiGe)Cと、例えばBeSiN₂、ZnSiN₂、ZnGeN₂などの窒化物半導体の組合せによっても可能である。この場合、いずれの材料もSiCあるいは(SiGe)Cに比べて禁制帯幅が広いので、SiCあるいは(SiGe)Cをチャネル層に、窒化物半導体をバリア層に用いる。

【0115】

SiCや(SiGe)Cは高濃度のp型不純物ドーピングが困難である。このため、これらの物質のみで電界効果型半導体装置を構成する場合、エンハンスメント型の電界効果型半導体装置とすることが困難になる。さらに高速動作を行うためにゲート長を短縮してゆくと、チャネル不純物濃度が低いために容易にソースドレイン間のパンチスルー電流が増大してトランジスタ動作が困難になる。

【0116】

本発明においてはSi層上にSiCないしは(SiGe)C層を形成する構成をとる。このような構成を取ると、Si層のうちSiCないしは(SiGe)C層に接する部分近傍を高濃度のp型にする事は容易で、しかもSiCないしは(SiGe)C層はp型になりにくいために、SiCないしは(SiGe)C層とSi層との界面付近で急峻なpn接合を形成することが可能となる。このようにすると、Si層の高濃度p型不純物によりエンハンスメント型の動作が可能になり、且つ短チャネルにしたときのパンチスルー電流抑制効果も大きくなる。

【0117】

上記Si層は、いわゆるSi基板の表面側一部であっても構わないし、表面側のみSi層をエピタキシャル成長させてより低欠陥密度としたエピタキシャルSi基板でも良い。また絶縁層上に薄いSi層が形成されたSOI(Silicon on insulator)基板でも、表面に多孔質Si層が形成された多

孔質 Si 層つき基板でも構わない。後者の SOI 或いは多孔質 Si 基板の場合には、SiC あるいは (SiGe)C 層を形成する際に生じる結晶格子不整合を、下地 SOI 層あるいは多孔質 Si 層の粘弾性を利用して効率よく緩和することが出来るため SiC 層ないしは (SiGe)C 層の結晶品質を向上させることが出来る。

【0118】

ゲート電極は表面の SiC ないしは (SiGe)C のバリア層の上部に形成されるが、ショットキー金属を用いた MES 型とする事も、絶縁膜を介してゲート電極を形成する MIS 型とする事も可能である。後者の場合、ゲート電極材料は金属、金属シリサイド、あるいは多結晶 Si のいずれも使用可能である。

【0119】

ソースドレイン電極は SiC ないしは (SiGe)C 層の一方或いは両方に高濃度の n 型不純物を添加して低抵抗とすることも可能であるし、上記 SiC ないしは (SiGe)C 層の一部或いは全部を金属と反応させて金属シリサイドとすることも出来る。又、前者の高濃度不純物層に金属シリサイド電極を接触させて電氣的接続を確保することも可能である。

【0120】

これまで述べた SiC ないしは (SiGe)C 層は Si 基板上に局所的に形成している。このため、これらの層が形成された領域には上述した広禁制帯幅半導体装置を形成し、これらの層が形成されない領域には従来の Si 半導体集積回路を製造することが出来る。このようにして広禁制帯幅半導体装置と Si 半導体装置を 1 チップ (モノリシック) 化した集積回路チップを製造することが出来る。これらの製造プロセスは、マスク分離により両者を平行に進行させることができる。即ち、熱負荷の大きなプロセスを先に行い、熱負荷の小さなプロセスを後に行うことによって、熱処理による半導体装置性能の劣化を最小限にとどめることが可能である。

【0121】

又、前段落で述べたにもかかわらず、例えばチップの一部分の発熱による他の部分への影響を考慮して、あえて 1 チップ化を行わない方が望ましい場合もある

。このような場合においても、広禁制帯幅半導体チップと Si 半導体チップ、両者の混載チップ等を一つのモジュールに組み込んで機能を満足させることができる。

【0122】

以上述べた本発明による電界効果型半導体装置の特徴は電界効果型半導体装置に関する他の実施例でも同様である。

【0123】

<実施例 5>

本実施例では、SOI 基板上に形成した電界効果型半導体装置を例示する。製造工程は、実施例 4 の場合とほぼ同様であるので、相違点のみを示す。尚、SOI 基板とは、Si 活性層の下部に SiO₂ 絶縁層が形成されている Si 基板のことである。

【0124】

基板には実施例 4 の場合と異なり、Si 層 81 が 100 nm、埋込絶縁膜層 91 が 150 nm の SOI 基板 200 を用いた。この上部に実施例 4 と同様の方法で SiC 層 83 および (SiGe)C 層 82 を形成する。その結果、積層構造は表面側から、膜厚 5 nm の SiC 層 83、膜厚は 70 nm の (SiGe)C 層 82 (Si と Ge の比率は 95:5)、膜厚 100 nm の Si 層 81、膜厚 150 nm の埋込絶縁膜層 91、厚さ 725 ミクロンの Si 支持基板 92、という順になる。本半導体装置の断面構造は図 14 に模式的に示される。上記積層構造に対して、電界効果型半導体装置の製造工程は上記実施例 4 の場合と全く同一である。

【0125】

更に、SOI 基板を用いた別な構成の電界効果型半導体装置の例を図 15 に示す。表面 Si 層 81 が 20 nm と薄い SOI 基板 200 を用いて (SiGe)C 層 82 及び SiC 層 83 を形成する時、成長温度を 1000℃まで上昇させると、Si 層 81 上への (SiGe)C 層 82 形成反応中に Ge と C とが Si 層全体に拡散して膜厚 55 nm の (SiGe)C 層 82 が埋込絶縁層 91 の直上に形成された。この場合の積層構造は、表面側から膜厚 5 nm の SiC 層 83、膜厚は 55 nm の (SiGe)C 層 82 (Si と Ge の比率は 95:5)、膜厚 150 nm の埋

込絶縁膜層 91、厚さ 725 ミクロンの Si 支持基板 92、という順になる。又、この場合は前記実施例 4 の製造工程と異なり、Si 層への B 不純物注入工程が不要になる。Si 層 81 が (SiGe)C 層 82 に接して存在していないため、パンチスルー等が生じる懸念がない。その他の工程については実施例 4 と同じである。本半導体装置の断面構造は図 15 に模式的に示される。

【0126】

<実施例 6>

本実施例では、上記実施例 4 の SiC/(SiGe)C 電界効果型半導体装置 93 と通常の Si 集積回路 94 を同一チップ上に製造する方法を例示する。製造工程のフローの概略を図 16 に示す。又、本半導体装置の断面構造を図 17 に模式的に示す。シリコン基板 81 に SiC/(SiGe)C 電界効果型半導体装置部 93 と通常の Si 集積回路部 94 が集積されている。SiC/(SiGe)C 電界効果型半導体装置部 93 は複数の電界効果型半導体装置を有し、各々が (SiGe)C になるチャネル層 82 及び SiC バリア層が配置されている。符号 85、86、及び 87 はゲート電極、ソース電極、ドレイン電極である。Si 集積回路部 94 においても、符号 85、86、及び 87 はゲート電極、ソース電極、ドレイン電極で、複数の電界効果型半導体装置が配置されている。

【0127】

はじめに、実施例 4 の方法に従って、SiC/(SiGe)C 電界効果型半導体装置部 93 の製造プロセスを進める。

【0128】

Si 基板に開口部を有する酸化膜を形成する (201)。即ち、本願発明の要点である開口部を有する酸化膜で、選択エピタキシャル成長領域以外を酸化物膜で被覆する。Si 基板に SiC 層、及び (SiC/SiGe)C 層を選択エピタキシャル成長する (202)。

【0129】

ドライエッチングにより SiC/(SiC/SiGe)C になる半導体素子部の活性領域を分離する (203)。このドライエッチングにより素子の活性領域を分離する工程から、通常の Si 素子部の製造工程も開始される。この場合の S

i 素子製造工程は通常のCMOS-LSI製造工程と同一である。

【0130】

上記工程でSi表面が露出した時点で、更に、Si素子用の分離工程（いわゆる浅溝素子分離工程）を追加する（204）。同時にSiC/(SiGe)C素子についても活性領域以外の酸化膜埋込処理が行われる（205）。

【0131】

次にSiC/(SiGe)C素子への不純物注入工程が行われ（206）、更にSi素子へのウェル注入工程が行われる（207）。次にSi素子のゲート酸化膜形成工程（208）、ゲート電極膜形成工程（209）、ゲート電極エッチング工程（210）、エクステンション及びソースドレインへの不純物注入工程と続く（211）。更に、SiC/(SiGe)C素子及びSi素子にこれまで注入された不純物を1100℃の瞬時高温熱処理により活性化される（212）。その後SiC/(SiGe)C素子へのゲート電極膜製造工程（213）、ゲート電極加工（214）、配線工程（215）と続く。尚、図16で（両者）と表示した工程は、SiC系半導体素子部と通例のSi半導体素子部とが共通になされる工程である。

【0132】

以上示したように、本工程によれば通常のCMOSの性能をほとんど犠牲にすることなく、SiC系ないしは(SiGe)C系半導体装置を同一チップ上に製造することが出来る。

【0133】

<実施例7>

本実施例では、固定無線アクセス用の26GHz帯送受信モジュールを例示する。本例は、Si系半導体素子部とSiC系半導体素子部との混載で構成される半導体集積回路を構成するものである。図18に本モジュールのブロック図を示す。モジュールの主要構成部分はベースバンド(BB)の信号処理部分95、電圧制御発信器(VCO)96、ミキサー(MIX)97、低雑音増幅器(LNA)98、電力増幅器(PA)99である。ブロックの構成自体は通例のものであるので、その詳細説明は省略する。このうちBB回路95は通常のSi-CMOSで構成さ

れる。VCO、MIX、LNAの各部分はSiGe-HBTで構成され、PA部分がSiC/(SiGe)Cトランジスタで構成される。

【0134】

SiGe-HBTは通常のSi-CMOSプロセスと一体化された工程で製造される。従って、実施例6の方法により全ての回路が同一基板上に形成される。

【0135】

一つのウエハに複数の半導体集積回路が形成され、こうして製造されたチップを各々ダイシングし、ミリ波帯の固定無線アクセス用ICが完成する。

【0136】

この後、当該ICをミリ波帯用のパッケージ基板に実装し、一部チップ部品の実装、パッケージ内の配線工程を経て、送受信モジュールが完成する。

【0137】

本発明に係わる諸実施の形態を上述したが、それらの特徴をまとめると以下のとおりである。

(1) 基板上に形成された開口部を有する絶縁膜と、該開口部内に設けられた第1の単結晶層と、該第1の単結晶層上に形成された第2の単結晶層を有し、前記第1の単結晶層と第2の単結晶層はSiとGeのいずれか一方あるいは両方とCを主成分とし、且つSiとGeの和とCの化学量論比が略1:1である単結晶(SiGe)C層からなり、且つ前記第1の単結晶層と第2の単結晶層の禁制帯幅が異なることを特徴とする半導体装置。

(2) 基板上に形成された開口部を有する絶縁膜と、該開口部内に設けられた第1の単結晶層と、該第1の単結晶層上に形成された第2の単結晶層と、該第2の単結晶層上に形成された第3の単結晶層とを有し、前記第1の単結晶層と第2の単結晶層と第3の単結晶層はSiとGeのいずれか一方あるいは両方とCを主成分とし、且つSiとGeの和とCの化学量論比が略1:1である単結晶(SiGe)C層からなり、且つ前記第1の単結晶層と第2の単結晶層と第3の単結晶層のうち少なくとも一つは禁制帯幅が異なることを特徴とする半導体装置。

(3) 前記第2の単結晶層と第3の単結晶層の導電型が異なることを特徴とする前記項目(2)の半導体装置。

(4) 前記第2の単結晶層の禁制帯幅が第3の単結晶層の禁制帯幅よりも小さいことを特徴とする前記項目(3)の半導体装置。

(5) 前記第1の単結晶層がバイポーラトランジスタのコレクタであり、前記第2の単結晶層がバイポーラトランジスタのベースであり、前記第3の単結晶層がバイポーラトランジスタのエミッタであることを特徴とする前記項目(2)より前記項目(4)に記載の半導体装置。

(6) 前記第1の単結晶層中でGe組成比が変化することを特徴とする、前記項目(1)より前記項目(5)に記載の半導体装置。

(7) 前記第2の単結晶層中でGe組成比が変化することを特徴とする、前記項目(1)より前記項目(5)に記載の半導体装置。

(8) 前記第3の単結晶層中でGe組成比が変化することを特徴とする、前記項目(2)より前記項目(5)に記載の半導体装置。

(9) 前記第1の単結晶層がSi上に形成されていることを特徴とする、前記項目(1)より前記項目(5)に記載の半導体装置。

(10) SiとCの化学量論比が大略1:1であるSiC層と、SiとGeの和とCの化学量論比が大略1:1である(SiGe)C層とが互いに積層されたヘテロ接合部を有し、該ヘテロ接合部を形成する両層のうち表面側の層の上部にゲート電極を有し、しかも前記SiC層ないしは(SiGe)C層のいずれか一方あるいは両方で、前記ゲート電極に相對する部分に電流が流れるチャンネルが形成されており、該ヘテロ接合部の主面内に、チャンネルと電氣的接觸を図るようにソースおよびドレイン領域が形成されていることを特徴とする半導体装置。

(11) 前記SiC層ないしは(SiGe)C層のうちで、禁制帯幅が狭い層内にチャンネルが形成され、かつ、禁制帯幅の広い層が前記チャンネル層の上部に形成されてバリア層となっており、さらにその上部にゲート電極が形成される、埋込チャンネル構造を有することを特徴とする前記項目(10)に記載の半導体装置。

(12) Si、Cおよび微量の不純物からなるSi-C層とSi、Ge、Cおよび微量の不純物からなるSi-Ge-C層の一方あるいは両方を含み、このうち一方が高濃度のp型Si層上に積層されている積層構造において、表面側の層の上部にゲート電極を有し、しかも前記Si-C層ないしはSi-Ge-C層のいずれ

か一方あるいは両方で、前記ゲート電極に相対する部分に電流が流れるチャンネルが形成されており、該積層構造の主面内に、チャンネルと電氣的接触を図るようにソースおよびドレイン領域が形成されていることを特徴とする半導体装置。

(13) 前記 Si-C 層の Si と C の化学量論比が大略 1:1 であり、かつ前記 Si-Ge-C 層の Si と Ge の和と C の化学量論比が大略 1:1 であることを特徴とする、前記項目 (12) に記載の半導体装置。

(14) 前記ヘテロ接合部を形成する SiC 層ないしは (SiGe)C 層のいずれか一方が Si 上に形成されていることを特徴とする、前記項目 (10) 及び前記項目 (11) に記載の半導体装置。

(15) 前記ゲート電極が SiC 層ないしは (SiGe)C 層のヘテロ接合部を形成する両層のうち表面側の層に直接接して、ショットキー障壁を形成していることを特徴とする前記項目 (10) 及び前記項目 (11) に記載の半導体装置。

(16) 前記ゲート電極とヘテロ接合部を形成する両層のうち表面側の層との界面に絶縁層が形成されていることを特徴とする前記項目 (10) 及び前記項目 (11) に記載の半導体装置。

(17) 前記ソースおよびドレインが形成する高不純物濃度の SiC 層ないしは (SiGe)C 層に金属シリサイド化合物が接しており、電氣的接触を図ることを特徴とする前記項目 (10) 及び前記項目 (11) に記載の半導体装置。

(18) 前記ソースおよびドレインが形成する領域の一部あるいは全部が金属シリサイド化合物で形成されており、前記チャンネルと電氣的接触を図ることを特徴とする前記項目 (10) 及び前記項目 (11) に記載の半導体装置。

(19) 前記 Si 半導体基板と前記第 1 の単結晶層の間に、Si と Ge のいずれか一方あるいは両方と C を主成分とする SiGeC 層を有し、前記 Si 半導体基板の格子定数と前記第 1 の単結晶層の格子定数が異なることを特徴とする前記項目 (1) より前記項目 (8) に記載の半導体装置。

(20) 前記 Si 半導体基板の面方位が略 (100) であることを特徴とする前記項目 (1) より前記項目 (9) に記載の半導体装置。

(21) 前記項目 (1) より前記項目 (20) の半導体装置において、SiC 層ないしは (SiGe)C 層に接する Si 層の上記界面と反対側の界面に埋込絶縁膜

層が形成されていることを特徴とする半導体装置。

(22) 前記項目(1)より前記項目(20)の半導体装置において、SiC層ないしは(SiGe)C層に接する層が多孔質Si層であることを特徴とする半導体装置。

(23) 前記項目(1)より前記項目(22)の半導体装置において、SiC層ないしは(SiGe)C層の形成される領域が基板の一部領域であることを特徴とする半導体装置。

(24) 前記項目(1)より前記項目(23)の半導体装置と、Siを動作活性層に用いた半導体装置とが、同一の支持基板上に形成されていることを特徴とする、半導体集積回路。

(25) 前記項目(1)より前記項目(24)の半導体装置、ないしは半導体集積回路を主要構成部品とする、半導体回路モジュール。

(26) Si半導体基板上に開口部を有する絶縁膜を形成する工程と、該開口部内に第1の単結晶層を形成する工程と、該第1の単結晶層上に第2の単結晶層を形成する工程とを備え、前記第1の単結晶層と第2の単結晶層はSiとGeのいずれか一方あるいは両方とCを主成分とし、且つSiとGeの和とCの化学量論比が大略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と第2の単結晶層の禁制帯幅が異なることを特徴とする半導体装置の製造方法。

(27) Si半導体基板上に開口部を有する絶縁膜を形成する工程と、該開口部内に第1の単結晶層を形成する工程と、該第1の単結晶層上に第2の単結晶層を形成する工程と、該第2の単結晶層上に第3の単結晶層を形成する工程とを備え、前記第1の単結晶層と第2の単結晶層と第3の単結晶層はSiとGeのいずれか一方あるいは両方とCを主成分とし、且つSiとGeの和とCの化学量論比が大略1:1である単結晶(SiGe)C層とし、且つ前記第1の単結晶層と第2の単結晶層と第3の単結晶層のうち少なくとも一つは禁制帯幅が異なることを特徴とする半導体装置の製造方法。

(28) Si原子とC原子の結合を有するガスを原料に含むことを特徴とする前記項目(1)より前記項目(25)に記載の半導体装置の製造方法。

(29) Ge原子とC原子の結合を有するガスを原料に含むことを特徴とする前

記項目（１）より前記項目（２５）に記載の半導体装置の製造方法。

（３０）前記多層構造は、エピタキシャル成長により形成され、前記エピタキシャル成長の成長温度は５００℃乃至９００℃であることを特徴とする前記項目（１）より前記項目（２５）に記載の半導体装置の製造方法。

（３１）前記多層構造は、エピタキシャル成長により形成され、前記エピタキシャル成長の成長圧力は０．１Paより１００００Paの範囲であることを特徴とする前記項目（１）より前記項目（２５）に記載の半導体装置の製造方法。

【０１３８】

以上、本発明の好適な諸実施例について説明したが、本発明は前記実施例に限定されることなく、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。

【０１３９】

前述した実施例より明らかなように、本発明によれば電子の飽和速度が大きく、禁制帯幅の大きな半導体で結晶性が良好なヘテロ接合を形成することができるため、このヘテロ構造を用いる半導体装置の高速化・高耐圧化が可能となる。その結果、無線通信装置に用いられる高周波増幅用半導体装置および集積回路、特に準ミリ波～ミリ波領域の無線通信用、広禁制帯幅半導体装置の性能、を大幅に向上させることが可能になる。

【０１４０】

【発明の効果】

本発明は、Si基板上に結晶性の良好な、SiとGeとCとを有する単結晶層を有し、且つ高周波特性が良好な半導体装置及びその製造方法を提供することが出来る。

【０１４１】

本発明の別な観点は、Si基板上に結晶性の良好な、SiとGeとCとを有する単結晶層を有し、且つ高周波特性、高速性の良好な半導体装置及びその製造方法を提供することが出来る。

【０１４２】

本発明の更に別な観点は、一つの基板上に、Si系半導体装置及び（SiGe

）C系半導体装置を集積した半導体集積回路装置及びその製造方法を提供することが出来る。

【図面の簡単な説明】

【図 1】

図 1 は本発明の実施例 1 に係る半導体装置を示す断面図である。

【図 2】

図 2 は本発明の実施例 1 に係る別な例を示す半導体装置を示す断面図である。

【図 3】

図 3 は本発明の実施例 1 に係る半導体装置の結晶構造を示す断面模式図である。

【図 4】

図 4 は本発明の実施例 1 に係る半導体装置の基板全形を示す斜視図である。

【図 5】

図 5 は本発明の実施例 2 に係る、バイポーラトランジスタの不純物濃度及び G e 組成比の深さ方向の分布を示す特性線図及びバンド構造図である。

【図 6】

図 6 は本発明の実施例 2 に係る、バイポーラトランジスタの主要部分の断面模式図である。

【図 7】

図 7 は図 6 に示した本発明に係る半導体装置の活性領域の製造方法を工程順に示す部分拡大断面図である。

【図 8】

図 8 は図 7 の次の工程以降を順に示す部分拡大断面図である。

【図 9】

図 9 は本発明の実施例 2 に係る、バイポーラトランジスタの主要部分の断面模式図である。

【図 10】

図 10 は図 9 に示した本発明に係る半導体装置の活性領域の製造方法を工程順に示す部分拡大断面図である。

【図 11】

図 11 は図 10 の次の工程以降を順に示す部分拡大断面図である。

【図 12】

図 12 は SiC 層、(SiGe)C 層、Si 層が積層された構造のバンド構造模式図及びゲート電極に電圧を印加した場合のバンド構造図である。

【図 13】

図 13 は本発明の課題を解決する手段および実施例 4 に係わる、電界効果型半導体装置の主要部分の断面図である。

【図 14】

図 14 は本発明の実施例 5 に係わる電界効果型半導体装置の主要部分の断面図である。

【図 15】

図 15 は本発明の実施例 5 に係わる、別の電界効果型半導体装置の主要部分の断面図である。

【図 16】

図 16 は本発明の実施例 6 に係わる電界効果型半導体装置と通常の Si 集積回路を同一チップ上に製造する方法を示す工程フロー図である。

【図 17】

図 17 は本発明の実施例 6 に係わる電界効果型半導体装置と通常の Si 集積回路が同一チップ上に形成された半導体装置の断面図である。

【図 18】

図 18 は本発明の実施例 7 に係わる固定無線アクセス用の 26GHz 帯送受信モジュールのブロック図である。

【図 19】

図 19 は従来の半導体装置を示す断面図である。

【図 20】

図 20 は結晶成長装置の概略ブロック図である。

【符号の説明】

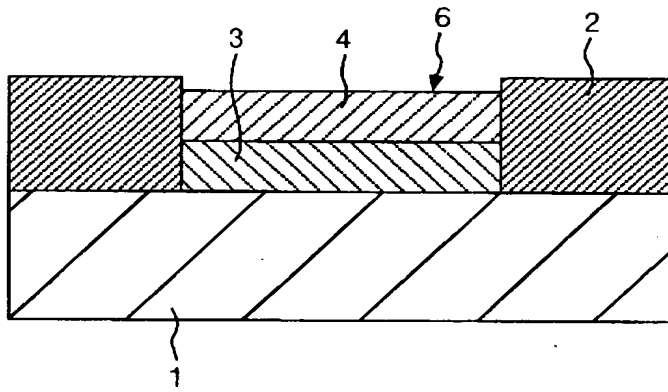
1、11、51、101…Si 基板、2、30、66、68、69、71、73

…絶縁膜、3、4…単結晶(SiGe)C層、5…(SiGe)Cバッファ層、6…
開口部、12、23、52、60…コレクタ領域(n型単結晶Si)、
13、53…低濃度コレクタ層(低濃度n型単結晶Si)、
14、16、17、54、56、57…素子分離絶縁膜、
15、55…コレクタ引き出し層(高濃度n型単結晶Si)、
18、19、58、59…コレクタ・ベース分離絶縁膜、
20、70…ベース引き出し電極(p型多結晶Si)、
21、22…エミッタ・ベース分離絶縁膜、
24、61…コレクタ層(n型単結晶(SiGe)C)、
25、65…n型多結晶(SiGe)C
26、62…真性ベース層(p型単結晶(SiGe)C)、
63…p型多結晶(SiGe)C
27…外部ベース層(p型多結晶(SiGe)C)、
28、64…エミッタ層(n型単結晶SiC)、
29、72…エミッタ引き出し層(高濃度n型多結晶Si)、
31、74、108…エミッタ電極、32、75、107…ベース電極、
33、76、106…コレクタ電極、67…多結晶層、81…Si層、
82…(SiGe)Cチャネル層、83…SiCバリア層、84…禁制帯幅、
85…ゲート電極、86…ソース電極、87…ドレイン電極、
88…高濃度p型領域、89…高濃度n型領域、90…Al電極、
91…埋込絶縁膜層、92…Si支持基板、
93…SiC/(SiGe)C電界効果型半導体装置、
94…Si集積回路、95…ベースバンド(BB)の信号処理部分、
96…電圧制御発信器(VCO)、97…ミキサ(MIX)、98…低雑音増幅器
(LNA)、99…電力増幅器(PA)、102…高濃度n型Si、103…コレク
タ領域(n型Si)、104…ベース領域(p型SiGe)、105…エミッタ
領域(n型SiGeC)、110…ロードロック室、111…搬送室、112…
成長室1、113…成長室2、200…SOI基板。

【書類名】 図面

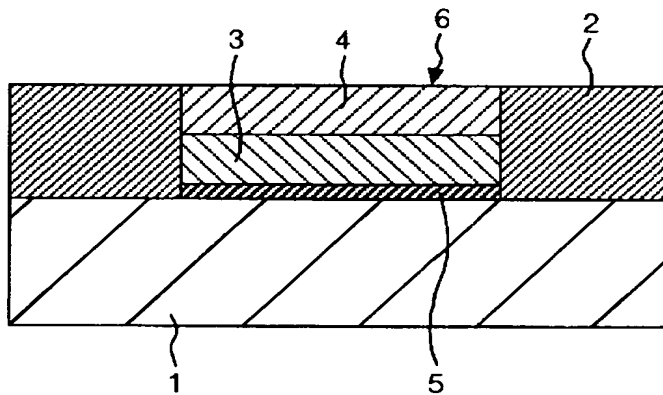
【図 1】

図 1



【図 2】

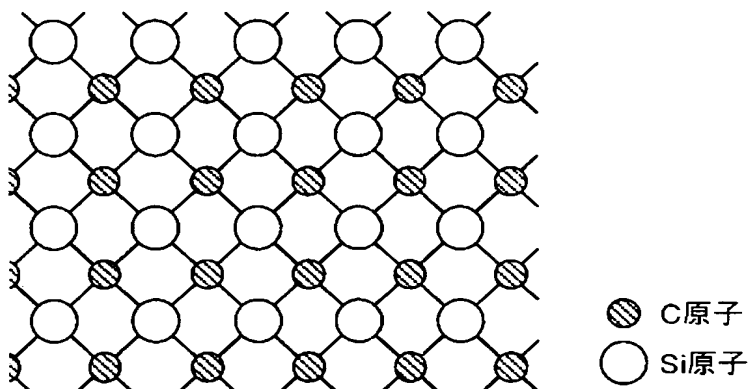
図 2



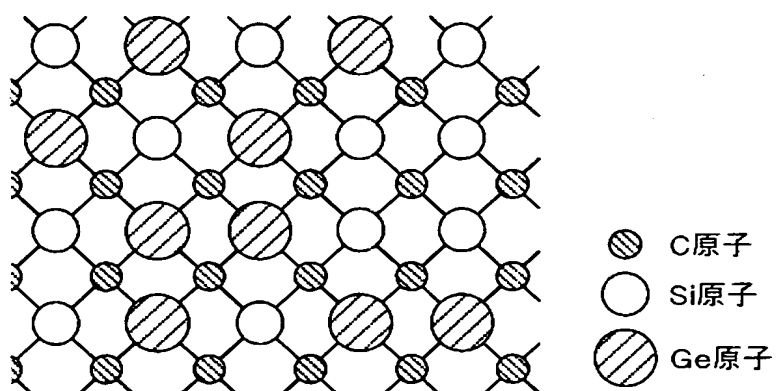
【図 3】

図 3

(a)

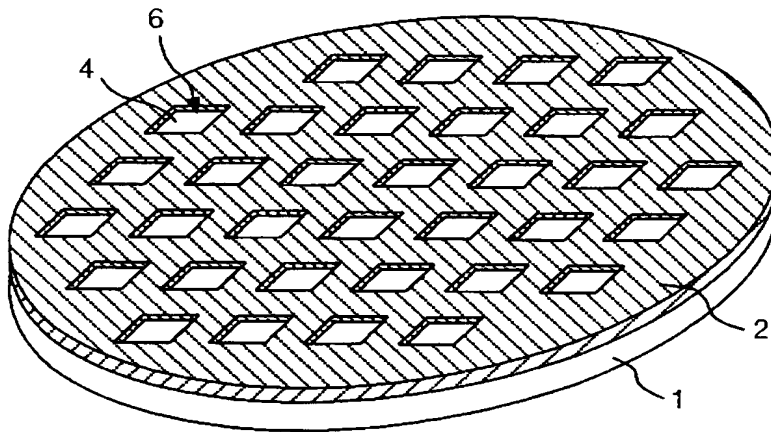


(b)



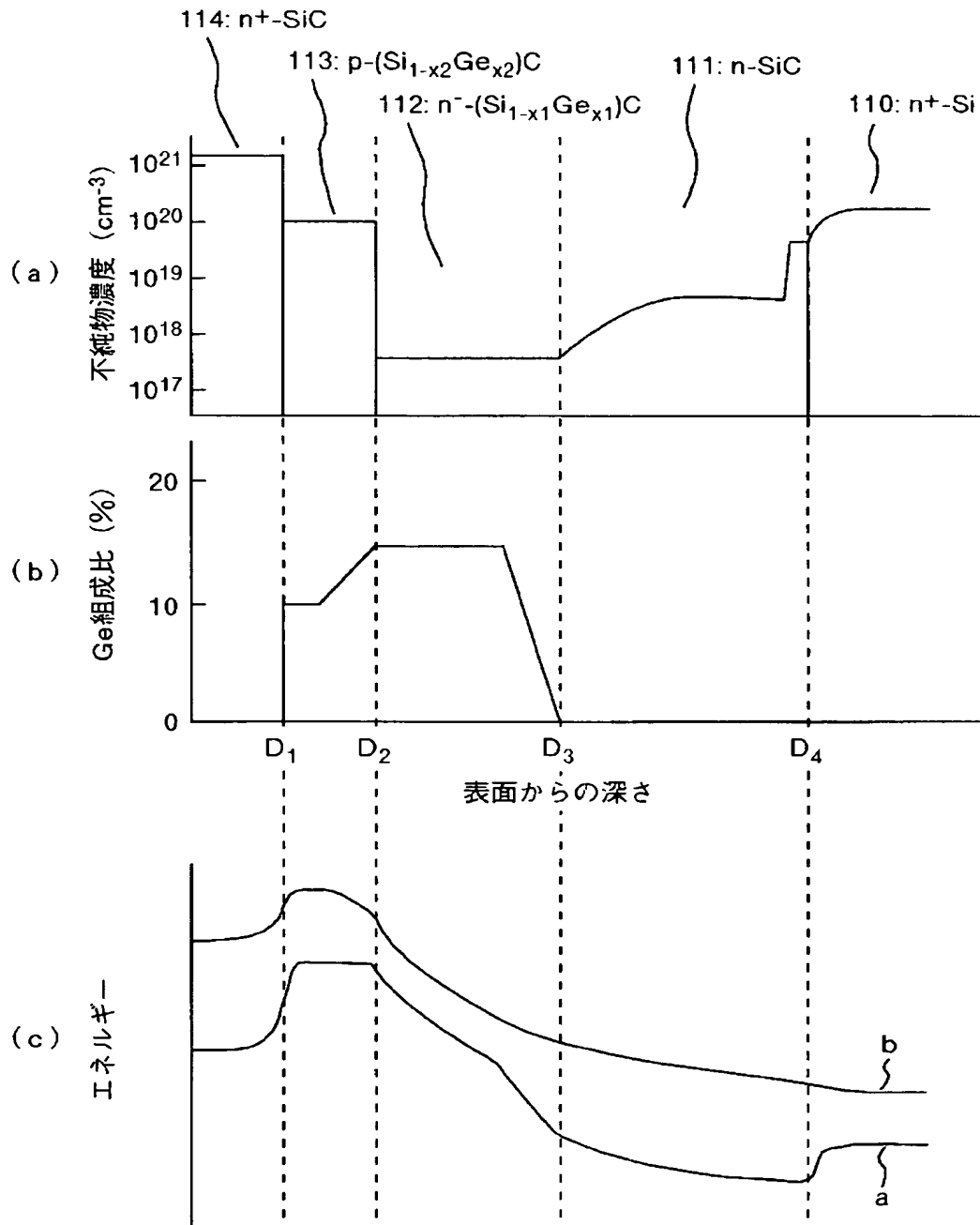
【図 4】

図 4



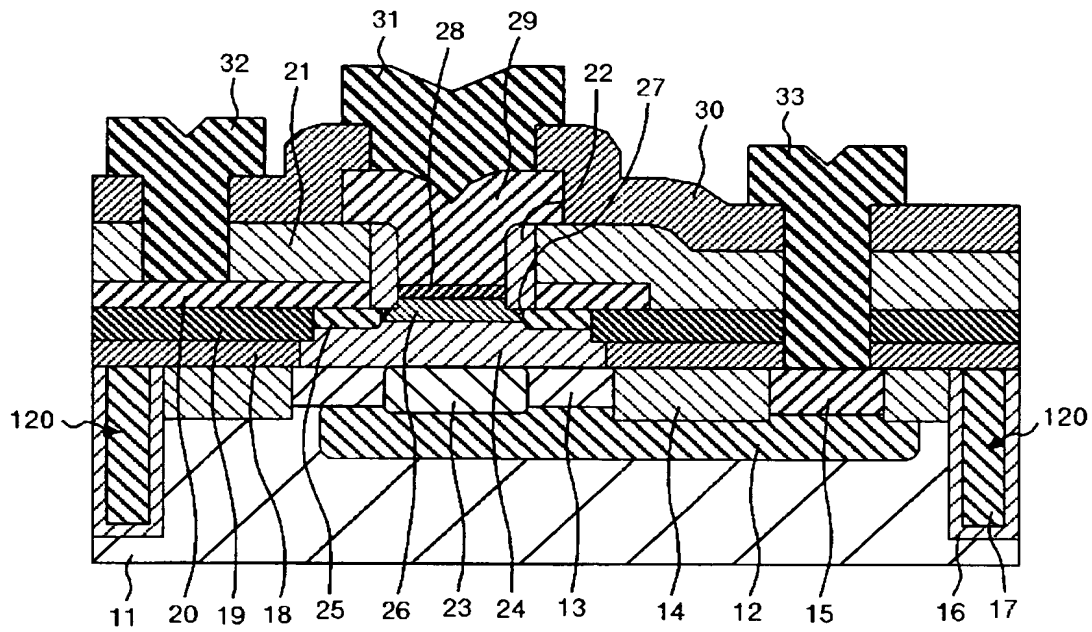
【図 5】

図 5



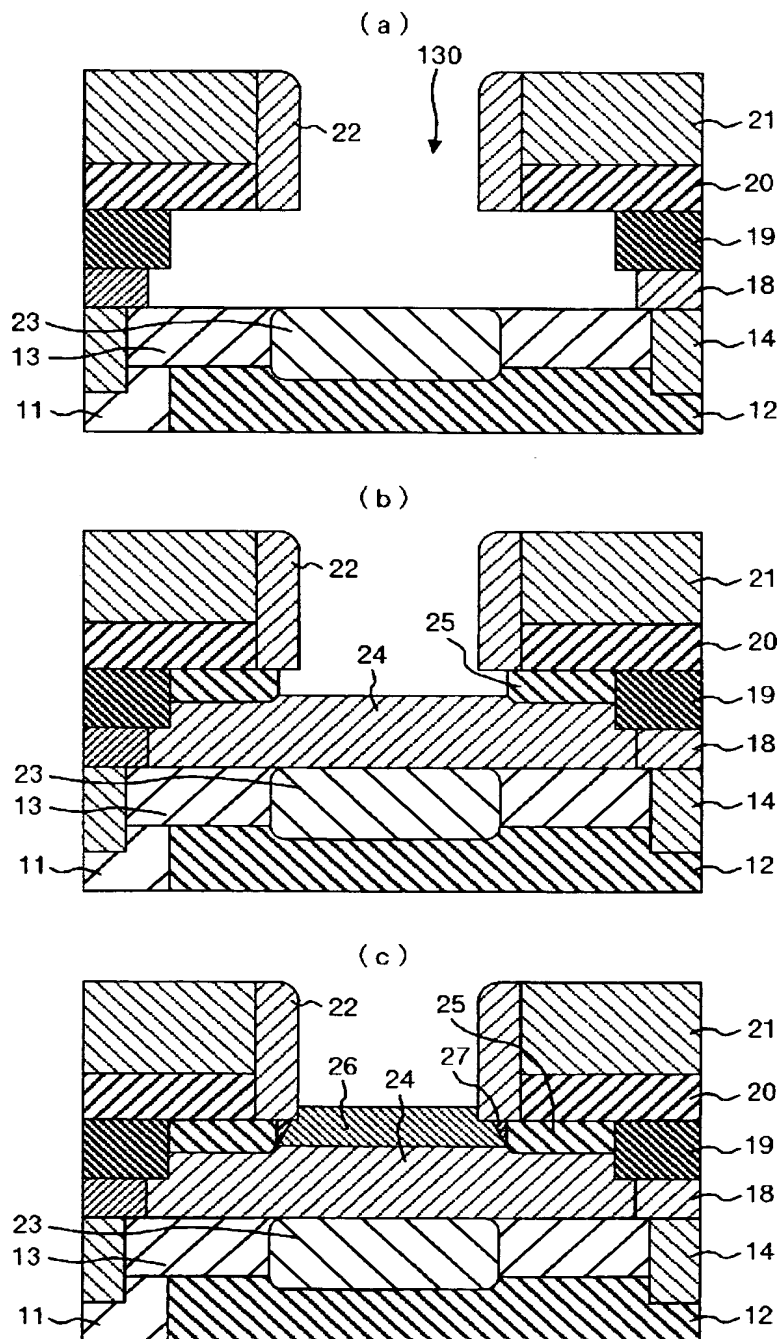
【図 6】

図 6



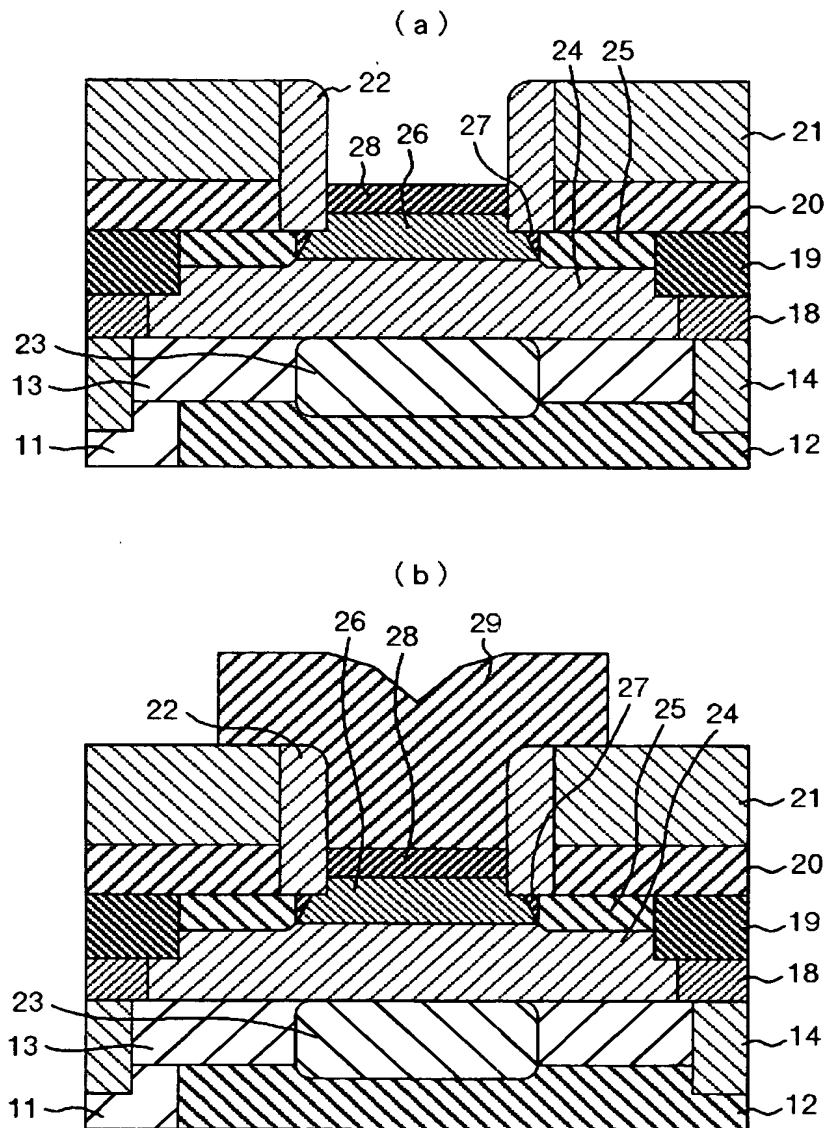
【図 7】

図 7



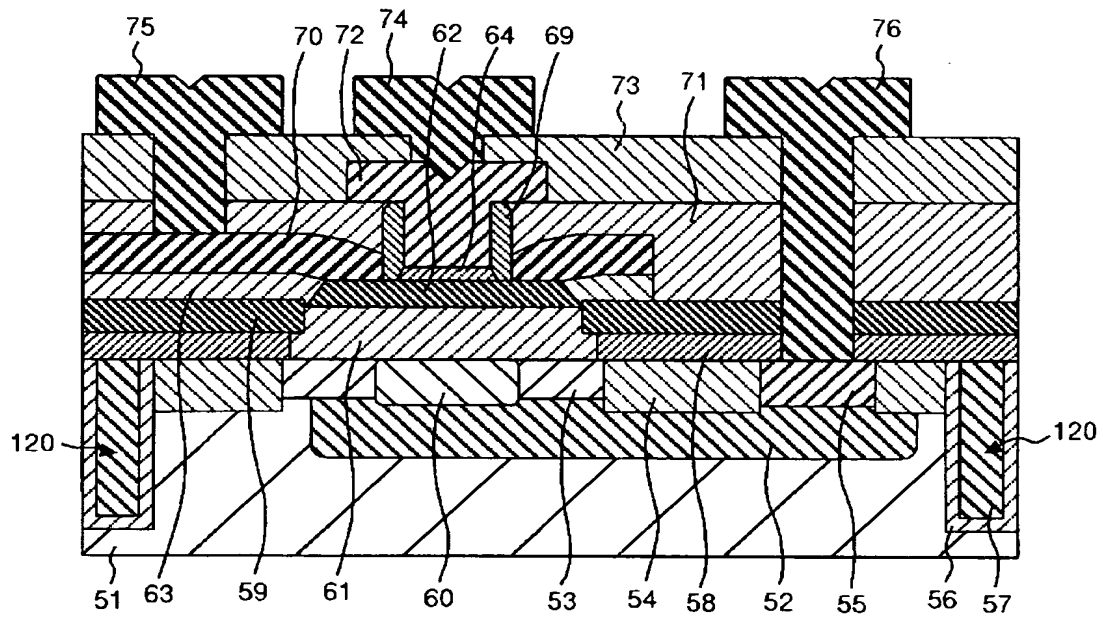
【図 8】

図 8



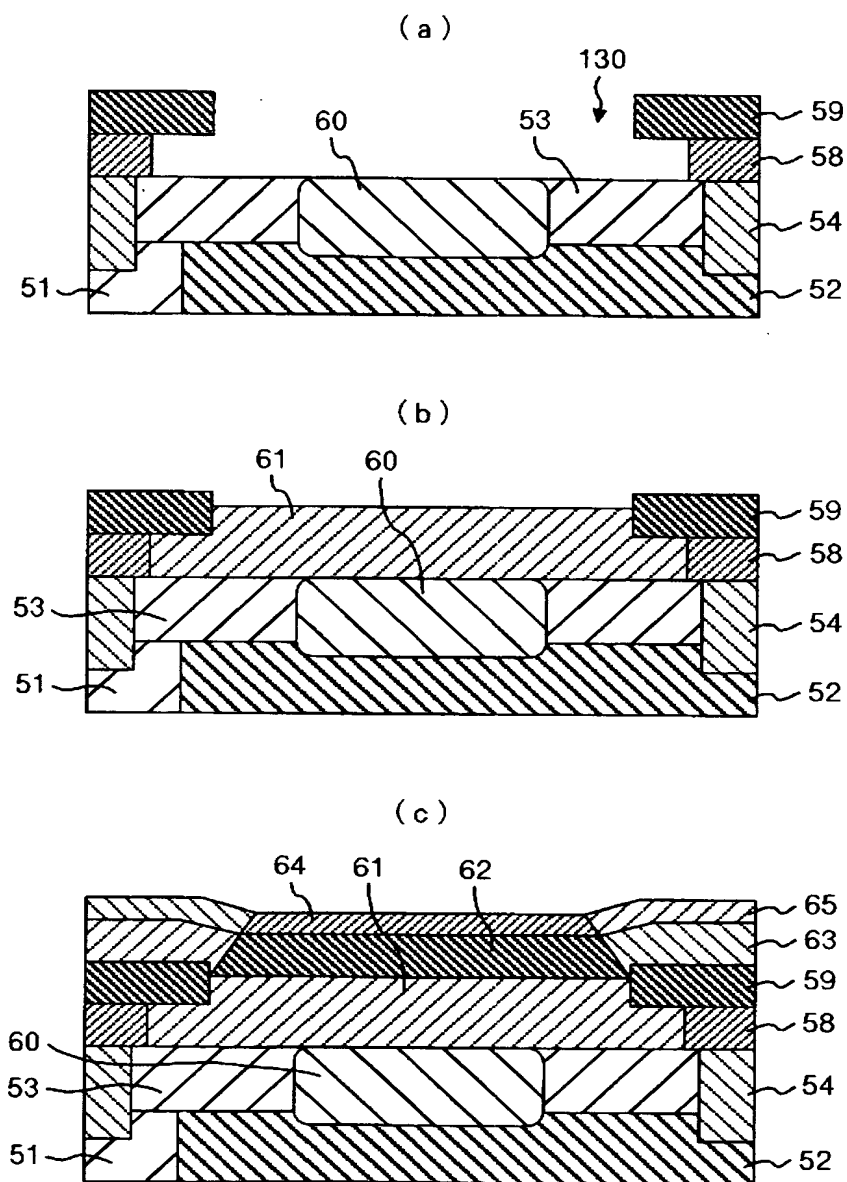
【図 9】

図 9



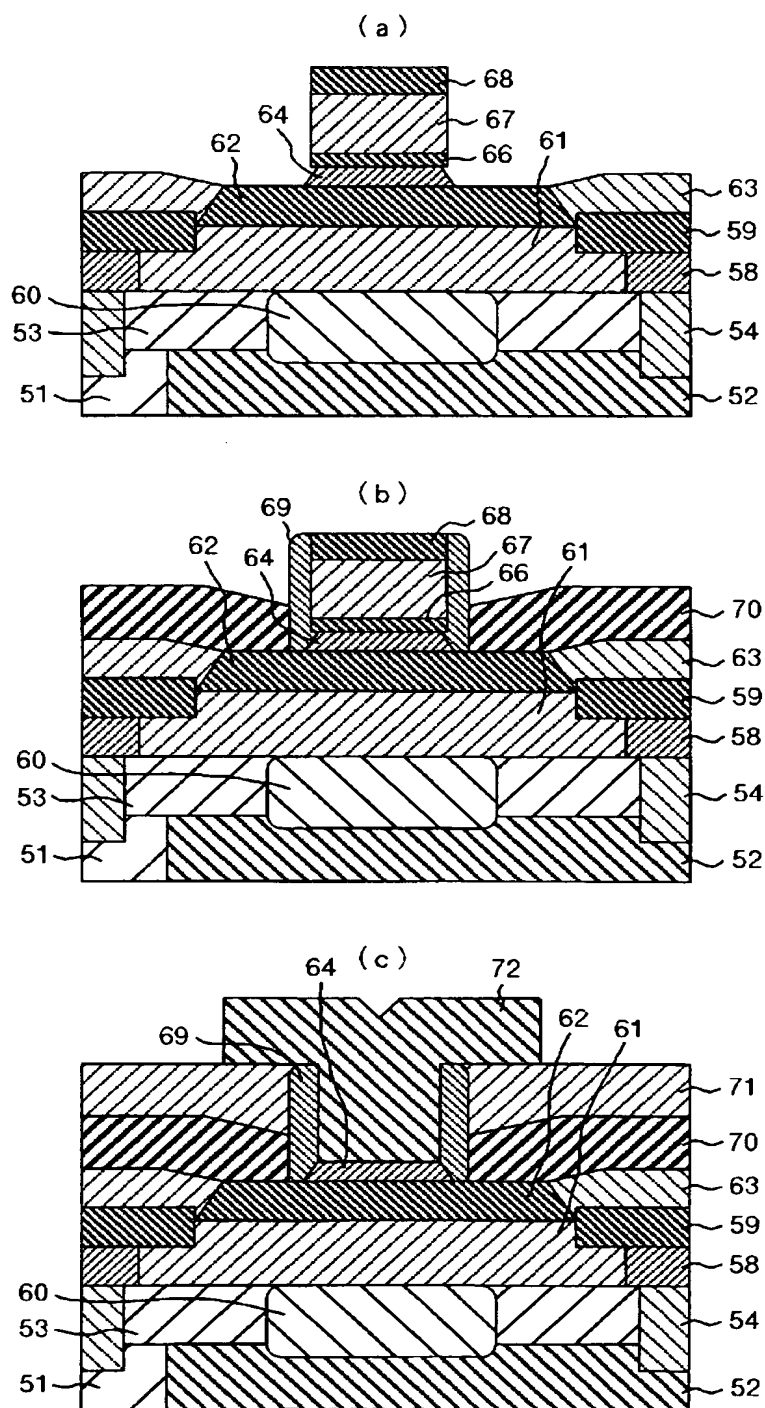
【図 10】

図 10



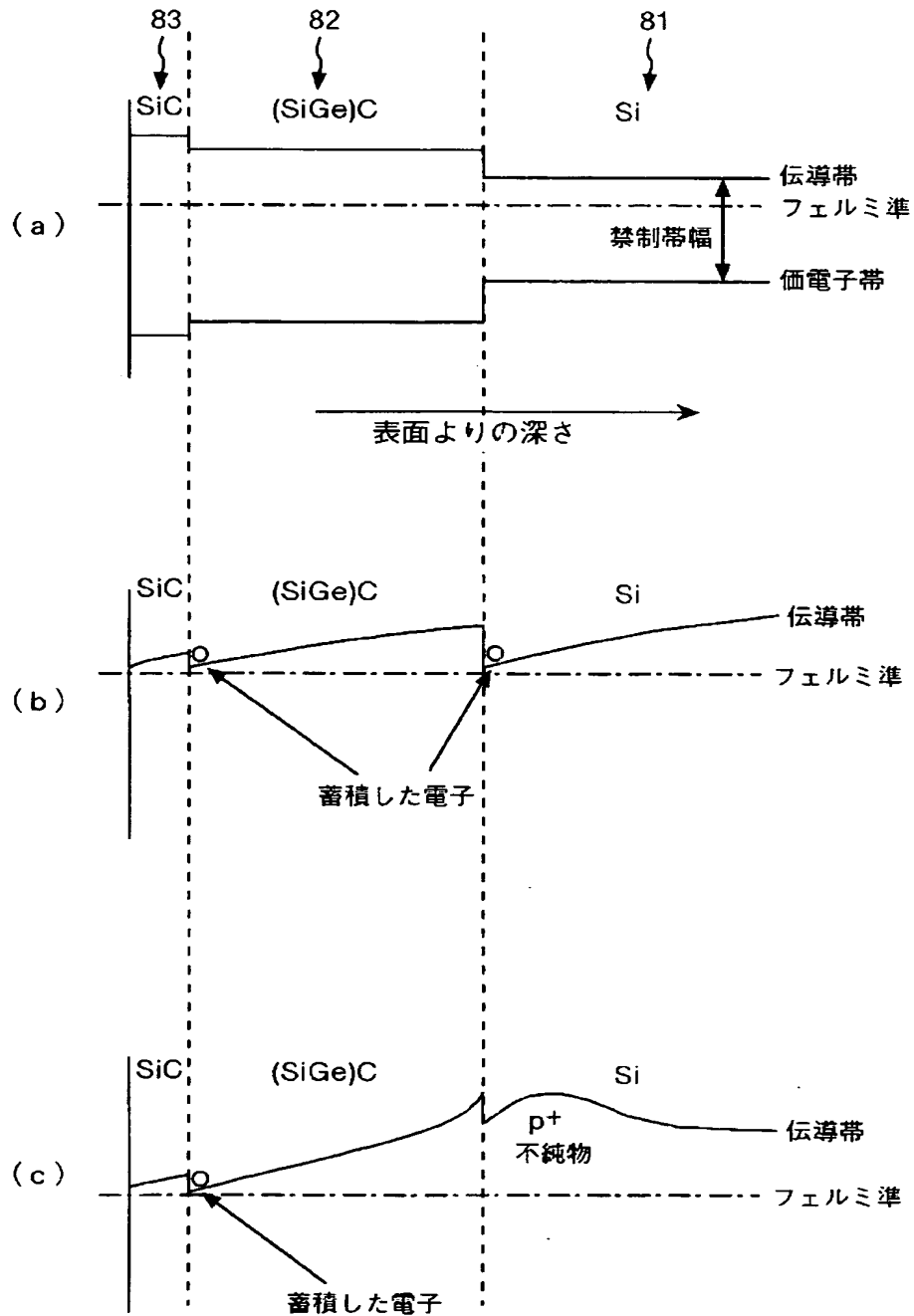
【図 11】

図 11



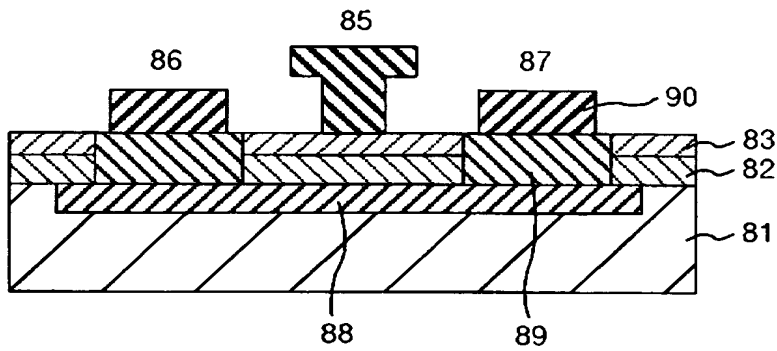
【図 12】

図 12



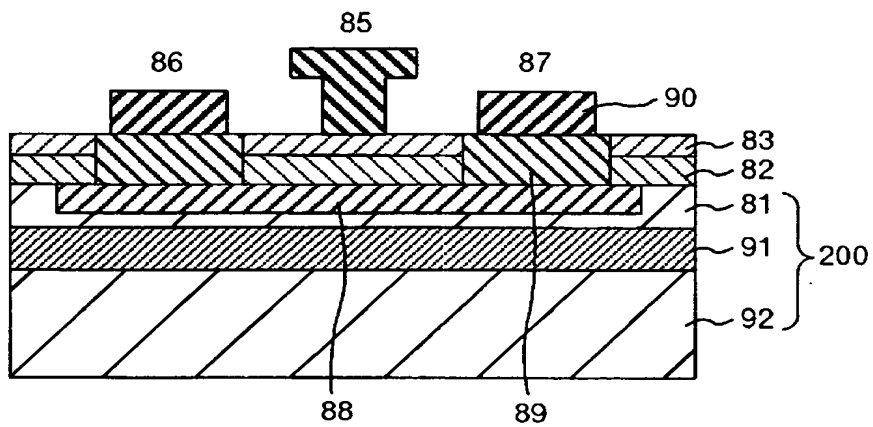
【図 13】

図 13



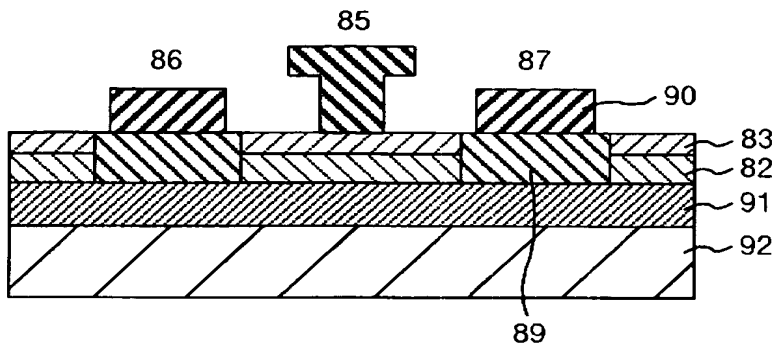
【図 14】

図 14



【図 15】

図 15



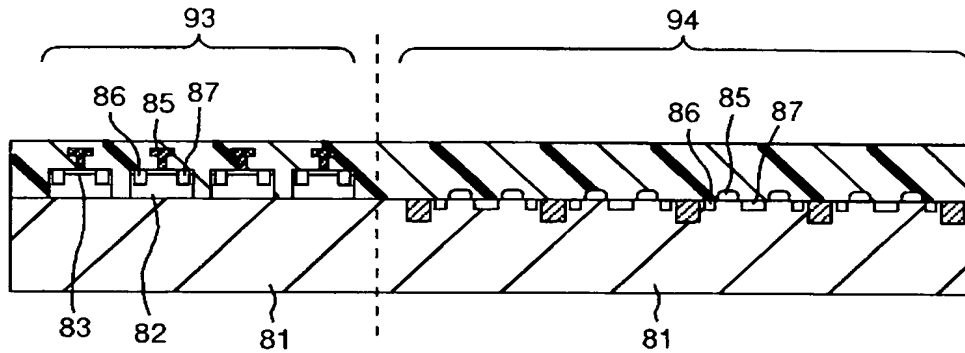
【図 16】

図 16



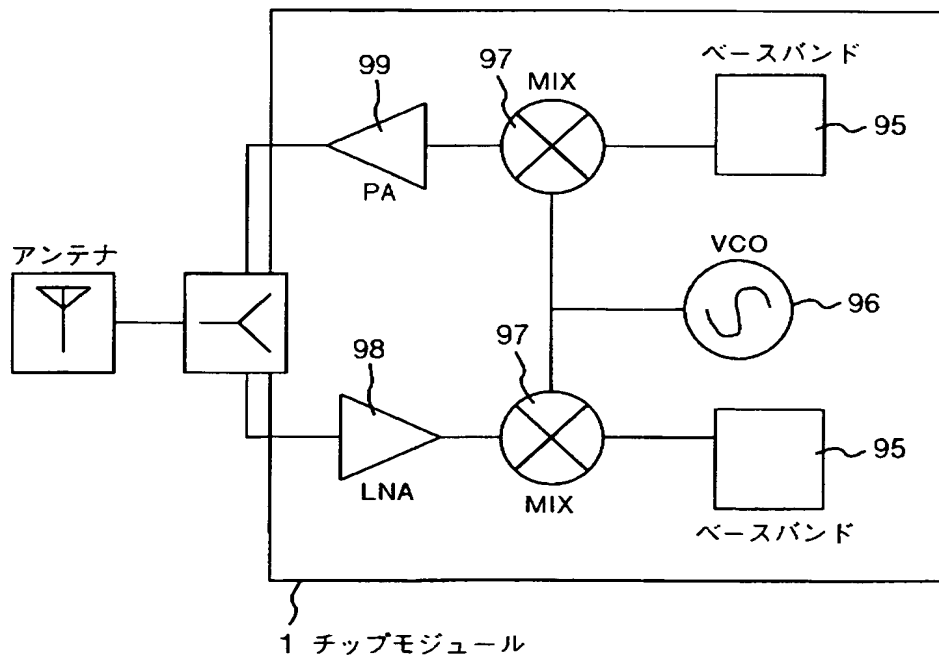
【図 17】

図 17



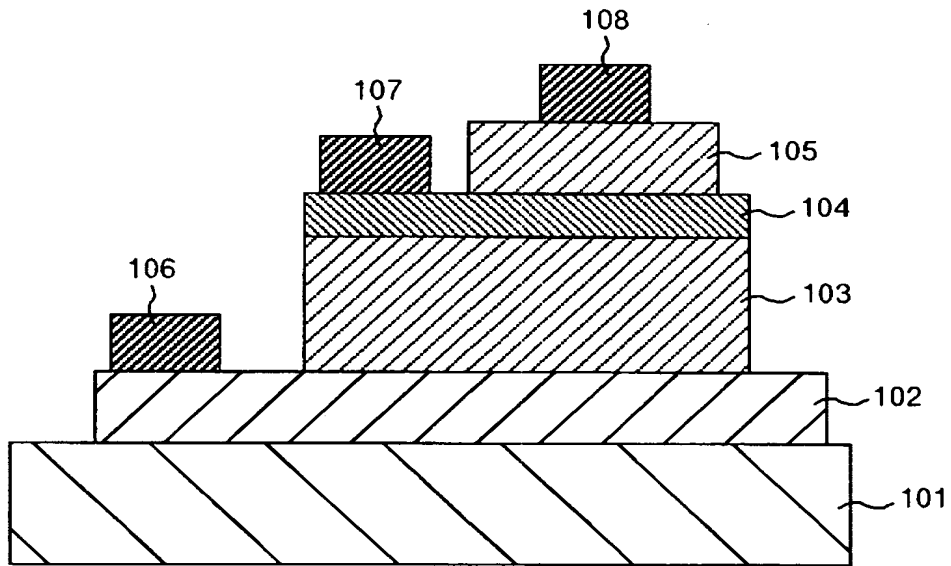
【図 18】

図 18



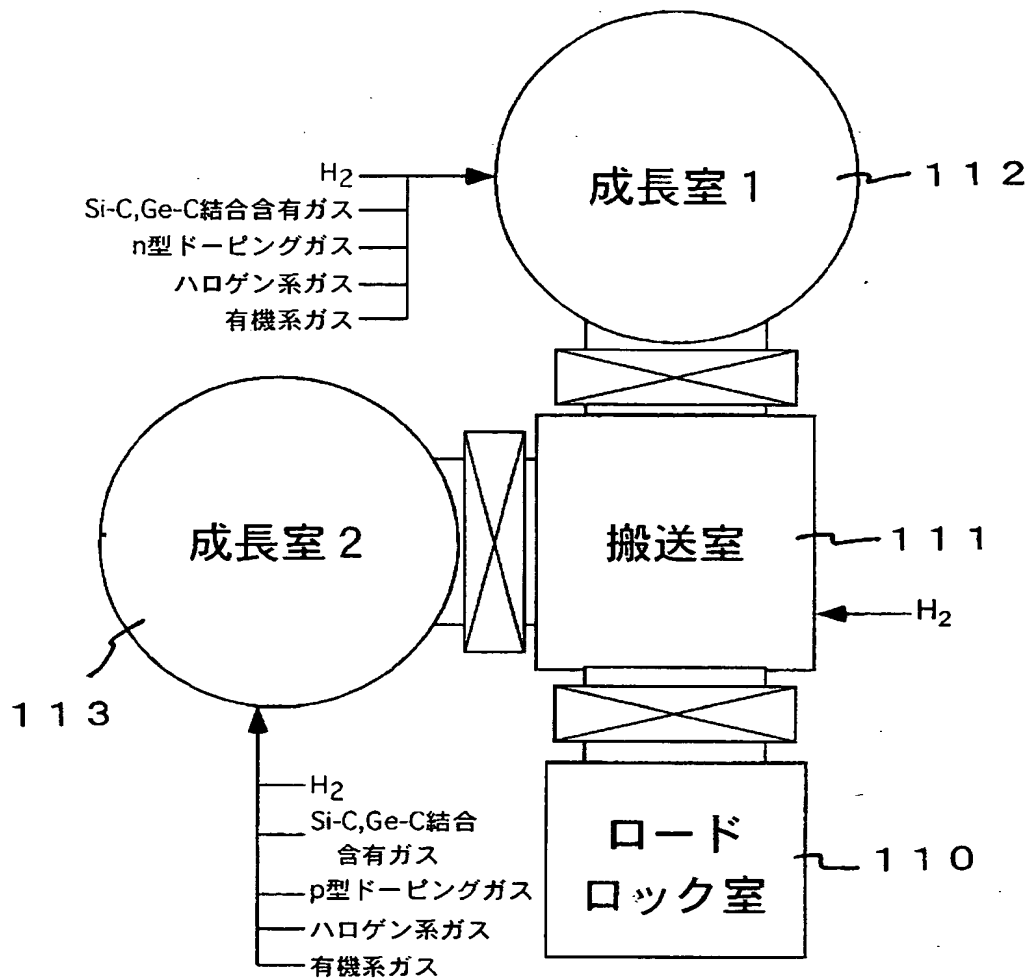
【図 19】

図 19



【図 20】

図 20



【書類名】 要約書**【要約】**

【課題】 本願の目的は、S i Cないしは(S i G e) Cの積層構造を用いて、高周波増幅用半導体装置をS i層上に形成し、更にS i集積回路との一体化を実現することにある。

【解決手段】 本願の骨子は、S i層上に化学量論比が大略1:1である(S i G e) C層を局所的に形成し、これら積層構造内部に広禁制帯幅半導体装置を製造し、上記積層構造が形成されない領域にS i半導体集積回路を形成する。広禁制帯幅半導体装置により素子の高周波大電力動作が可能となり、S i集積回路を混載することにより高機能を実現する。

【選択図】 図 1

特願 2 0 0 3 - 1 7 2 9 1 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所